高付加価値デバイスの実現を担う常温接合技術

Room-temperature bonding technologies that will lead the realization of high value-added devices

日暮 栄治 Eiji Higurashi

国立研究開発法人産業技術総合研究所研究グループ長 National Institute of Advanced Industrial Science and Technology (Leader, Group)

キーワード ••• 常温接合、低温接合、ヘテロジニアス集積



半導体デバイスは、微細化の追究により、高速化、省電力化、 低コスト化の要求を同時に満たすことが可能なため、これま でコンピュータをはじめさまざまな分野の発展に寄与してき た。一方、シリコンCMOS(Complementary Metal Oxide Semiconductor)トランジスタ動作原理の微細化限界が近づ き、これまでのスケーリング則(Mooreの法則)にのっとった微細 化の追求(More Moore)に加えて、従来のCMOSデバイスが持 ち得なかった、アナログ/RF、受動素子、高電圧パワーデバイス、 センサ/アクチュエータ、バイオチップなどの新機能を付加し、 デバイスの多機能化、異機能融合の方向に進化する新たな開発 軸(More than Moore)を追求するようになってきた。将来の半 導体デバイスは、「More Moore」と「More than Moore」を車 の両輪のように組み合わせて実現する高付加価値システムへと 向かっており、まさに異種材料・異種機能を集積するヘテロジニ アス集積(Heterogeneous Integration)技術^{1, 2)}が、将来の継 続的な半導体産業成長の鍵として注目を集めている。

本稿では、ヘテロジニアス集積を実現する重要な要素技術で ある常温・低温接合技術に焦点を当て、これらの技術によりどの ような機能や特性が実現できるのか、具体的なデバイスを例に 述べる。

半導体デバイス製造に用いられる接合技術

半導体デバイスの製造に用いられる代表的な接合技術につい て述べる(表1)³⁾。これらの接合技術はそれぞれ一長一短がある が、デバイスの熱損傷や実装時の熱応力を低減するという観点 から共通して取り組まれてきた技術課題の一つが接合温度の低 温化である。 表1 半導体デバイスの製造に用いられる接合技術

分類	接合手法	接合温度 (°C)	
直接接合 半導体	陽極接合 フュージョンボンディング プラズマ活性化接合 表面活性化接合	300~500 600~1200 150~400 室温~150	
中間層を介した 接合	金属中間層		
	はんだ/共晶接合 TLP(Transient Liquid Phase)接合 ナノ粒子焼結 熱圧着接合 超音波接合 原子拡散接合 表面活性化接合	180~450 180~300 250~300 300~500 室温~250 室温~150 室温~150	
	絶縁中間層		
	有機接着剤 フリットガラス接合	室温~300 400~500	

陽極接合技術は、シリコンと熱膨張係数の近いホウケイ酸ガラ スとシリコンを接合する技術であり、400℃程度の温度でガラス 側に数百Vの負電圧を印加して、静電引力により接合する。一般 的にアルカリイオンの移動度が高くなる300℃以上で接合が行 なわれ、MEMS (Micro Electro Mechanical Systems)のパッ ケージング技術として広く利用されている。

フュージョンボンディング(親水化接合とも呼ばれる)は、1986 年にLasky⁴⁾が酸化膜を形成したSi基板どうし、Shimboら⁵⁾がSi 基板どうしの直接接合技術として検討し、主としてSOI(Silicon on Insulator)ウェハの作製を目的に開発が進められてきた。 この接合は以下のように行われる。始めにウェハの洗浄、親水化 処理を行い、ウェハ表面に水酸基(OH基)を形成し、常温での貼 り合わせの後に高温(~1200 ℃程度)での熱処理を行う。化合 物半導体基板へのフュージョンボンディング技術の適用に関し ては、1990年にInP基板とGaAs基板の直接接合(650 ℃)⁶⁾が 報告されて以降、GaAs基板上へ直接接合した1.55 µm帯InP/ InGaAs系レーザ⁷¹、Si基板上のレーザ素子⁸¹、発光波長に対して 透明な基板に置き換えたAlGaInP/GaP LED(Light Emitting Diode)⁹¹、GaAs基板上のAlAs/GaAsミラーを利用した長波長 面発光レーザ¹⁰¹、Siをなだれ増倍層として用いたInGaAs/Siアバ ランシェ・フォトダイオード¹¹¹など、多くの研究者によって様々な デバイスが提案された。しかしながら、従来主に用いられてきた フュージョンボンディングは、強固な接合を実現するには高温(> 600 ℃)を必要とするため、接合強度とデバイス特性はトレード オフの関係となり、デバイス特性の劣化、熱膨張係数の違いから ウェハのそりや破壊が起こり、低温直接接合法が強く望まれてい た。そのため、接合プロセス自体を低温化する試みも活発に研究 が行われた。

近年活発な研究開発が行われ普及したのが、ウェハ表面を酸素や窒素プラズマ等^{12,13}により前処理し低温で接合するプラズマ活性化接合法である。処理したウェハは強い親水性を示し、大気中で接合することにより、SiやSi酸化膜では150~400℃程度の熱処理で大きな接合強度が得られる。

表面活性化接合^{14.15}は、物質の表面を覆っている酸化膜や有 機物などの不活性な層を真空中で中性原子ビーム等の照射で取 り除いて、表面エネルギーの高い活性な清浄表面をそのまま真 空中で接触させることで、原子間の凝着力を利用して常温また は低温で接合する方法である(図1)。常温でも大きな接合強度 が得られ、熱膨張係数差の大きい組み合わせでもウェハスケー ル接合が可能であり残留応力の極めて少ないプロセスが実現で きる。これまで、Si¹⁶, Ge¹⁷, GaAs¹⁸, InP, GaN¹⁹などの半導体 ウェハ接合が行われてきた。ガラスなどの酸化物の接合では、強 度が弱いが、Feなどの数nm 以下の金属薄膜を介して接合する ナノ密着層による常温接合が提案されている²⁰。

電気的な接続が可能となる金属中間層を介した接合には、 Sn-Ag(Sn-3.5Ag:221℃)やSn-Ag-Cu(Sn-3.0Ag-0.5Cu:約 217℃)などのはんだ接合、Au-Sn(Au-80Sn:280℃)やAu-Si (Au-6Si:370℃)などの共晶接合、Cu-Sn(Sn:232℃)やAu-In (In:156℃)などの組み合わせで一時的に低融点材料を溶融し て金属間化合物を形成するTLP(Transient Liquid Phase)接 合などがある。はんだ接合では、表面酸化膜を除去するために各 種のフラックスが使用される場合が多い。光応用では素子に付 着したフラックスが、レーザの進路を妨げ、素子性能を劣化させ るため、フラックスフリーの接合が求められている。TLP接合は一 度合金化すると融点が高くなるので、後工程で溶融しない耐熱 性が求められる積層プロセスに適している。これら固液反応を利 用する接合法は、実装精度は固相接合に劣るが、ある程度凹凸が あっても接合することができ、表面粗さ許容性が高い。また、金 属どうしの固相接合として、Au-AuやCu-Cuなどの熱圧着接合、 ワイヤボンディングなどで使われている超音波接合などがある。 超音波接合は、加熱、加圧に加えて超音波エネルギーを印加する ことで、金属接合を形成させる方法である。低温かつ短時間での 接合が可能であるが、大面積には適用できない。また熱圧着によ る方法でも300~500 ℃の長時間(数十分以上)の加熱処理が 必要である。近年、低温・低荷重プロセスの観点から、金属サブミ クロン粒子21)やナノ粒子を用いた低温プロセスの研究開発やナ ノポーラス・スポンジAuバンプ²²⁾の開発が進められている。金属 どうしの固層接合に、上記の表面活性化接合技術を用いること で、常温・低温での接合が可能となり、後工程でも溶融しない耐 熱性のある金属接合界面を実現できる。Auのような酸化しにく い材料(酸化物生成自由エネルギーが正の値をとる)を用いた表 面活性化接合では、大気中での接合も可能である²³⁾。

絶縁中間層を介した接合には、エポキシ、UVエポキシ(SU8)、 ポリイミド、ベンゾシクロブテン(BCB)などの有機接着剤を用い た接合がある。表面粗さ許容性が高く、低温接合が可能である。 一方、厚みの高精度な制御や接着剤から出るガスの放出などを 考慮する必要がある。また、接着剤の耐熱性がその後のプロセス 温度を制限するため、プロセスの整合性も考慮する必要がある。

以下では、常温・低温接合技術である"表面活性化接合技術"に よるデバイス応用について述べる。

03 高付加価値デバイスの創製

3.1 真空封止

現在、多く用いられている圧力センサは、検出に半導体ピエジ 抵抗方式を用いている。半導体ピエジ抵抗方式は、Si単結晶基 板に不純物を導入した拡散抵抗とSiダイアフラム(Diaphragm) 構造を形成し、上下の圧力差(差圧)によりダイアフラムが変形 した際の拡散層抵抗の変化を計測する。ダイアフラム構造を形 成したSi基板とガラス基板を前述した陽極接合を用いて貼り合 せて真空の空洞を形成した場合、空洞部の圧力との差を計測す



図1 表面活性化接合の模式図

ることができるため、絶対圧を計測することができる。接合材料 間の熱膨張係数差により基板に歪が導入されるため、できるだ け熱膨張係数を調整したガラス材料の開発や接合温度の低温 化が図られる。ガラス材料ではなく、Siを用いて常温接合技術を 用いることにより、熱ひずみの無い真空封止を実現することが できる。図2は、オムロン株式会社で実用化された絶対圧センサ チップの構造である²⁴⁾。8インチSOIウェハを用いて、MEMSと ASIC (Application Specific Integrated Circuit)がモノリシッ ク形成されている。SOIウェハ裏面から深掘りドライエッチング (Deep Reactive Ion Etching:DRIE)によりエッチング加工を 行い、数µm厚のダイアフラム構造を形成した後、Siウェハを常温 接合により貼り合わせることで真空の空洞が形成される。相対圧 力精度±6 Pa(高さ換算では、±50 cmに相当する)の絶対圧セ ンサが商品化された24,その後、デジタルフィルター内蔵などの 低ノイズ化により、高低差±5 cmに相当する±0.6 Paの気圧変 化を高精度に測定する絶対圧センサが実現されている。



3.2 高放熱構造

半導体デバイスの高出力化に伴い、温度上昇による素子性 能劣化を抑制するため、高放熱基板と一体化する接合技術が 関心を集めている。表2に各種材料の物性値(格子定数,線熱 膨張係数,熱伝導率)の比較を示す^{25,26)}。光半導体と高熱伝導 基板が一体となった高放熱構造光デバイスを実現するために、 直接遷移型化合物半導体のGaAsと、Cuよりも大きな熱伝導率 (490 W/mK)を有するSiCを表面活性化接合により直接常温 で貼り合わせた高放熱構造が提案されている²⁷⁾。図3は、常温接 合したGaAs/SiC界面付近の透過電子顕微鏡(Transmission Electron Microscope:TEM)による断面像である。接合界面に ボイドなどは観察されず、原子レベルでの接合が実現されてい る。接合界面には厚さ2.5 nm程度のアモルファス中間層が確認 表2各種材料の物性値(格子定数,線熱膨張係数,熱伝導率)の比較 25.26)

材料	格子定数(Å)	線熱膨張係数 (×10⁻⁰/K)	熱伝導率 (W/m·K)	
GaAs	5.65	5.73	55	
GaN	3.189 (a) 5.186 (c)	5.59 (a) 3.17 (c)	130	
InP	5.87	4.6	68	
Si	5.43	2.6	130	
6H SiC	3.07(a) 15.12(c)	4.3 (a) 4.7 (c)	490	
Diamond	3.567	0.8	600-2000	
Cu		16.4	398	
Au		14.4	317	
AuSn		16	57	
AgSn		30	33	



図3 GaAs/SiCウェハ接合界面の断面TEM像

できる。また、SiCは、InPよりも約7倍熱伝導率が高く、Au薄膜を 介した表面活性化接合により、SiC基板と一体化した大容量光通 信用InP系ダブルヘテロ接合バイポーラトランジスタ(Double Heterojunction Bipolar Transistor:DHBT)の開発が行われ ている²⁸⁾。図4にプロセスフローを示す。(a)予めInP基板上にエ ピタキシャル成長したDHBT結晶層を準備し、Au薄膜を用いた 表面活性化接合によりSiC基板と接合する。(b)不要となったInP 基板を除去することでSiC基板上にDHBT結晶層を転写し、その 後DHBTを作製する。InP基板上のDHBTと比較して62%の熱



図4 SiC基板と一体化したInP系ダブルヘテロ接合バイポーラトランジスタ(DHBT) のプロセスフロー²⁶⁾

抵抗の低減効果が得られている²⁸⁾。また、高周波電力増幅器として用いられるGaNをベースとした高電子移動度トランジスタ (High Electron Mobility Transistor:HEMT)と固体物質中 で最高の熱伝導率を有するダイヤモンド基板との接合では、Siナ ノ密着層を用いた表面活性化接合が適用され、92 MW/m²Kの 界面熱コンダクタンスの実現²⁹⁾や、Si基板上デバイスと比較して 局所温度上昇を大幅に抑制できることが示されている³⁰⁾。また、 接合界面熱特性の基礎的な解明も進めていく必要がある。サー モリフレクタンス法による界面熱コンダクタンス測定により、表 面活性化接合界面に形成されたナノメートルオーダーのアモル ファス層における熱輸送の評価の研究が進められている³¹⁾。

3.3 急峻な不純物濃度勾配

遠赤外線およびテラヘルツ帯(50~300 μm帯)の光検出器 として、Ge系Blocked Impurity Band(BIB)型検出器が期待さ れている。BIB型検出器は、ガリウム(Ga)などの不純物を高濃度 にドープした吸収層と、そこで発生する暗電流を遮断する為の高 純度ブロック層の二層構造からなる。従来のエピタキシャル成長 では、高温による不純物の拡散が生じるため、急峻な不純物濃度 勾配を有する二層構造Geウェハを実現するためにGe/Ge表面 活性化常温接合が試みられている17.320。図5に示すように、表面 活性化接合法とプラズマ活性化接合法でGe/Ge接合試料を作 製し、I-V特性を比較した¹⁷⁾。表面活性化接合法は、アルゴン高速 原子ビームによる表面活性化から接合まですべてのプロセスが 真空中で行われる常温プロセスであるのに対して、プラズマ活 性化接合法は、酸素プラズマによりウェハ表面を親水化処理し、 大気中で水素結合により貼り合わせた後、比較的低温でアニー ル処理することにより強固な接合を得る直接接合法である。図5 (c)に同じ比抵抗(0.1~0.5 Ωcm)を有するp型Geウェハどう



図5 低温接合技術の模式図と接合界面のI-V特性、(a)表面活性化接合、(b)プラ ズマ活性化接合、(c) p型Ge/p型Ge接合界面のI-V特性(SAB:表面活性化接合、 PAB:プラズマ活性化接合) しを接合した試料のI-V特性を示す。表面活性化接合で作製した 試料の抵抗(0.15 Ω)は、ウェハの比抵抗から推定される抵抗範 囲(0.11~0.55 Ω)に収まっているのに対し、プラズマ活性化接 合(アニール処理:300 ℃、10 h)で作製した試料(5.9 Ω)は一桁 大きな抵抗値である。プラズマ活性化接合で作製したGe/Ge試 料の接合界面には、酸化ゲルマニウムの薄い層が形成されてい ることがTEMおよびエネルギー分散型X線分析により観察され ており、これが高抵抗の原因である。このように目的に応じて適 切な接合手法を選択することが重要である。

3.4 マルチチップ接合

光素子や高周波素子のボンディングに用いられているAuSn はんだ接合には、1)降伏強度が大きいので耐疲労性に優れてい る、2)クリープ変形しにくい材料のため実装した光部品の位置ず れの問題がないなどの利点がある。一方で、1)塑性流動がほと んどないため、応力を緩和しにくく、残留応力や部品に与える負 荷が大きい、2)300℃程度の加熱が必要であり、高温プロセスに より素子の劣化が引き起こされ、集積できる材料にも制限があ る、3)AuSn中のSnは酸化しやすいため、複数回の加熱プロセス が必要な場合、表面酸化のために接合不良が生じる、などの課題 もある。このような点から、低温かつはんだを用いないボンディ ング手法として、Au薄膜やAuマイクロバンプを用いたAu-Au表 面活性化接合による大気中、低温接合(常温~150℃)が開発さ れている²³⁾。

半導体レーザ(Laser diode:LD)やフォトダイオード (Photodiode:PD)などの複数の光素子を高精度に表面実装 した基板をさらに高精度に積層していくことにより作製した3次 元構造の変位・回転角センサ(光マイクロエンコーダ)が実現さ れている33、図6は、光マイクロエンコーダの断面構造と走査電 子顕微鏡(Scanning Electron Microscope:SEM)写真、全体 写真である。PDチップを実装したガラス基板とLDチップを実装 したSi基板をパッシブアライメントにより積層・接合することに より、3次元構造光マイクロセンサが実現される。光センサの超 小型化(2.8 mm×2.8 mm)、薄型化(1.0 mm)が実現されて いる。Au-Au表面活性化接合技術は、LDやPDチップのダイボ ンディングに加えて、PD用配線の電気的導通と気密封止にも 使われている。一方、このような光素子のAu電極表面は、必ずし も直接接合に求められる二乗平均平方根粗さ1 nm以下でない ことが多い。そのため、テンプレートストリッピング(Template stripping)に基づく転写プロセスにより後工程で平滑な表面を 形成する手法の開発などの試みも進められている34,

3.5 ハイブリッド接合による3D集積化

半導体の高集積化を進める手法として、3次元積層技術がある。機能の異なる層を積層することで、微細化を進めずに回路 規模を増やすことが可能となる。3次元積層技術により高性能 化・高機能化が進められている分野の一つがイメージセンサで ある。図7に表面照射型イメージセンサと裏面照射型イメージ センサの断面構造の比較を示す³⁵⁾。従来のCMOSイメージセ



図6 光マイクロエンコーダの断面構造とSEM像、全体写真



図7 表面照射型イメージセンサと裏面照射型イメージセンサの断面構造35)

ンサは、フォトダイオードアレイ形成後にメタル配線層を形成 するため、フォトダイオードアレイの上側(表側)にメタル多層配 線層ができる。そのため、配線層側(表面側)から入射光が入射 される表面入射型イメージセンサでは、入射光の一部が配線層 により遮光されてしまう。これに対し、裏面照射型(Back-Side Illumination:BSI)イメージセンサでは、配線層とは反対側(裏面 側)から入射光が入射されるため、高感度化が可能である36,こ のようなイメージセンサの作製には、シリコン基板上にフォトダ イオードアレイ、配線層のセンサ部を形成して、酸化膜を堆積す る。酸化膜の上部をCMP(化学的機械研磨)によりフラットにし て別の支持基板を接合し、裏側からシリコン基板を数µm程度に まで薄く研磨するプロセスが行われる。デバイスにダメージを与 えないよう、酸化膜のプラズマ活性化接合など低温接合技術が 使用される。また、支持基板に画像処理などに必要な処理回路 を形成し、センサ部と積層した積層型イメージセンサが開発され た³⁷⁾。センサ部と処理回路が形成された基板を接合後、数µmの センサ部を貫通するシリコン貫通電極(Through Silicon Via: TSV)をフォトダイオードアレイの周辺に設け電気的に導通をと る手法370やセンサ部とロジック回路が形成された基板の接合面 にそれぞれCuパッドを露出させて、Cuパッドおよび絶縁膜どうし

を同時に接合するハイブリッド接合^{36,39)}が開発されている。さらに、完全画素並列処理を目指し、全画素に微細な接合電極を形成し、それぞれの画素の直下に設けられた信号処理回路の電極と接続した3次元構造イメージセンサの開発(図8)が行われている^{40,41)}。図9に示すように3枚の8インチウェハに受光部やカウンタ回路を形成し、Siナノ密着層を用いた常温ハイブリッド接合による3層の画素が実現されている⁴¹⁾。



常温接合技術について述べ、本技術により各種半導体デバイ スにどのような新規機能や優れた特性を実現できるのか、具体 的な適用事例とともに概説した。これらのデバイスの実現には、 従来のヘテロエピタキシャル成長や高温接合プロセスでは実現 困難な常温・低温接合技術がキーテクノロジーとなっている。接 合および実装プロセスの低温下は、異種材料を集積した次世代 高付加価値デバイスの実現に必須であり、省エネルギー・低環境 負荷プロセスの観点からも将来ますます重要になってくる。

THE CHEMICAL TIMES



図8 画素並列信号処理3次元構造イメージセンサの模式図41)



図9 3層積層ウェハの断面SEM像41)

参考文献

- 1) エレクトロニクス実装学会誌 20(6), (2017).
- 2) Eiji Higurashi, Jpn. J. Appl. Phys. 57(4S), 04FA02 (2018).
- 3) 日暮栄治,須賀唯知,電気学会論文誌E(センサ・マイクロマシン部 門誌)134(6),159-165 (2014).
- 4) J. B. Lasky, Appl. Phys. Lett. 48(1), 78-80 (1986).
- M. Shimbo, K. Furukawa, K. Fukuda, K. Tanzawa, J. Appl. Phys. 60(8), 2987-2989 (1986).
- Z. L. Liau, D. E. Mull, Wafer fusion, *Appl. Phys. Lett.* 56(8), 737-739 (1990).
- Y. H. Lo, R. Bhat, D. M. Hwang, M. A. Koza, T. P. Lee, *Appl. Phys. Lett.* 58(18), 1961-1963 (1991).
- Y. H. Lo, R. Bhat, D. M. Hwang, C. Chua, C.-H. Lin, *Appl. Phys. Lett.* 62(10), 1038-1040 (1993).
- F. A. Kish, F. M. Steranka, D. C. DeFevere, D. A. Vanderwater, K. G. Park, C. P. Kuo, T. D. Osentowski, M. J. Peanasky, J. G. Yu, R. M. Fletcher, D. A. Steigerwald, M. G. Craford, V. M. Robbins, *Appl. Phys. Lett.* 64(21), 2839-2841 (1994).
- 10) D. I. Babic, K. Streubel, R. P. Mirin, N. M. Margalit, J. E. Bowers, E. L. Hu, D. E. Mars, Long Yang, K. Carey, *IEEE Photon. Tech. Lett.* 7(11), 1225-1227 (1995).
- 11) A. R. Hawkins, T. E. Reynolds, D. R. England, D. I. Babic, M. J. Mondry, K. Streubel, J. E. Bowers, *Appl. Phys. Lett.* **68**(26), 3692-3694 (1996).
- 12) G. Kissinger W. Kissinger, Sensors and Actuators A, 36(2), 149-156 (1993).
- 13) S. N. Farrens, J. R. Dekker, J. K. Smith, B. E. Roberds, J. Electrochem. Soc. 142(11), 3949-3955 (1995).
- 14) T. Suga, Y. Takahashi, H. Takagi, B. Gibbesch, G. Elssner, Acta Metall. Mater. 40, Supplement, S133-S137 (1992).
- 15) 須賀唯知, 応用物理 89(9), 498-508 (2020).
- 16) H. Takagi, K. Kikuchi, R. Maeda, T. R. Chung, T. Suga, *Appl. Phys. Lett.* 68(16), 2222-2224 (1996).
- 17) E. Higurashi, Y. Sasaki, R. Kurayama, T. Suga, Y. Doi, Y. Sawayama, I. Hosako, *Jpn. J. Appl. Phys.* 54(3), 030213 (2015).
- 18) T. R. Chung, L. Yang, N. Hosoda, H. Takagi, T. Suga, *Applied Surface Science* **117/118**, 808-812 (1997).
- 19) E. Higurashi, Y. Tokuda, M. Akaike, T. Suga, Proc. SPIE 6717, 67170L-1-67170L-8 (2007).
- 20) M. M. R. Howlader, T. Suga, M. J. Kim, *IEEE Trans. Adv. Packag.* 30(4), 598-604 (2007).
- 21)小柏俊典, 澁谷忠弘, 宮入正幸, 藤澤良知, 鶴見和則, 于強, サブミク ロン Au 粒子焼結体を用いた低温接合技術, エレクトロニクス実装学 会誌, 10(7), 560-566 (2007).
- 22) H. Oppermann, L. Dietrich, Nanoporous gold bumps for low temperature bonding, *Microelectronics Reliability* 52(2), 356-360 (2012).

- 23) E. Higurashi, T. Imamura, T. Suga, R. Sawada, *IEEE Photon. Tech. Lett.* 19(24), 1994-1996 (2007).
- 24) 安達佳孝,井上勝之,北川さなえ,清水正男,第32回「センサ・マ イクロマシンと応用システム」シンポジウム論文,(新潟,2015-10-28/30,日本機械学会)28pm1-B-1.
- 25) New Semiconductor Materials, Characteristics and Properties, <u>www.</u> <u>ioffe.ru/SVA/NSM/</u> (参照 2021-8-4).
- 26) MatWeb, <u>www.matweb.com</u> (参照 2021-8-4).
- 27) E. Higurashi, K. Okumura, K. Nakasuji, T. Suga, Jpn. J. Appl. Phys. 54(3), 030207 (2015).
- 28) Y. Shiratori, T. Hoshi, M. Ida, E. Higurashi, H. Matsuzaki, *IEEE Electr. Dev. Lett.* **39**(6), 807-810 (2018).
- 29) Z. Cheng, F. Mu, L. Yates, T. Suga, S. Graham, ACS Appl. Mater. Interfaces 12(7), 8376-8384 (2020).
- 30) 檜座秀一,西村邦彦,柳生栄治,山向幹雄,応用物理 90(3),167-171 (2021).
- 31) M. Sakata, T. Oyake, J. Maire, M. Nomura, E. Higurashi, J. Shiomi, *Appl. Phys. Lett.* **106**(8), 081603 (2015).
- 32) K. Watanabe, K. Wada, H. Kaneda, K. Ide, M. Kato, T. Wada, Jpn. J. Appl. Phys. 50(1R), 015701 (2011).
- 33) E. Higurashi, D. Chino, T. Suga, R. Sawada, IEEE Journal of Selected Topics in Quantum Electronics, 15(5), 1500-1505 (2009).
- 34) E. Higurashi, M. Yamamoto, R. Nishimura, T. Matsumae, Y. Kurashima, H. Takagi, T. Suga, and T. Itoh, The 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), (フロリダ, 2020-5-26/29, IEEE), 223-228.
- 35) 井口義則, 萩原 啓, エレクトロニクス実装学会誌 18(7), 458-462 (2015).
- 36) 丸山康,岩淵信,大岸裕子,村松真文,唐澤信浩,平山照峰,映像情報 メディア学会技術報告 30(25), 25-28 (2006).
- 37) S. Sukegawa, T. Umebayashi, T. Nakajima, H. Kawanobe, K. Koseki, I. Hirota, T. Haruta, M. Kasai, K. Fukumoto, T. Wakano, K. Inoue, H. Takahashi, T. Nagano, Y. Nitta, T. Hirayama, N. Fukushima, 2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers, (サンフランシスコ, 2013-2-17/21, IEEE), 484-485.
- 38) Y. Kagawa, N. Fujii, K. Aoyagi, Y. Kobayashi, S. Nishi, N. Todaka, S. Takeshita, J. Taura, H. Takahashi, Y. Nishimura, K. Tatani, M. Kawamura, H. Nakayama, T. Nagano, K. Ohno, H. Iwamoto, S. Kadomura, T. Hirayama, 2016 IEEE International Electron Devices Meeting (IEDM), (サンフランシスコ, 2016-12-3/7, IEEE), 8.4.1-8.4.4.
- 39) 水田恭平,津川英信,中邑良一,香川恵永,高橋知宏,榊原雅樹,田谷 圭司,表面と真空,62(11),660-665 (2019).
- 40) M. Goto, K. Hagiwara, Y. Iguchi, H. Ohtake, T. Saraya, E. Higurashi, H. Toshiyoshi, T. Hiramoto, *IEEE Transactions on Electron Devices* 61(8), 2886-2892 (2014).
- 41) M. Goto, N. Nakatani, Y. Honda, T. Watabe, M. Nanba, Y. Iguchi, T. Saraya, M. Kobayashi, E. Higurashi, H. Toshiyoshi, and T. Hiramoto, *ECS Transactions* **98**(4) 167-171 (2020).