

THE CHEMICAL TIMES

2026 No.3 (通巻281号)

ISSN 0285-2446

特集

先端半導体パッケージング

02

三次元IC積層実装に向けた次世代高密度半導体
実装モジュール基盤技術の研究開発

熊本大学 青柳 昌宏

08

ハイブリッド接合技術とCMOSイメージセンサ

ソニーセミコンダクタソリューションズ株式会社 藤井 宣年

14

表面活性化接合とテンプレートストリッピングを
組み合わせた接合面の平滑化技術

東北大学 竹内 魁
東北大学 日暮 栄治



KANTO CHEMICAL CO., INC.

三次元IC積層実装に向けた次世代高密度半導体実装モジュール基盤技術の研究開発

Research and Development of Next-Generation High-Density Semiconductor Packaging Module Platform Technologies for 3DIC Packaging.

青柳 昌宏
Masahiro Aoyagi

熊本大学半導体・デジタル研究教育機構半導体部門 卓越教授
Research and Education Institute for Semiconductors and Informatics, Kumamoto University (Distinguished Professor)

KEYWORD ▶ 3DIC TSV バンプ

受理日:2026年5月18日

はじめに

01

半導体集積デバイスを中核コア部品として発展してきた電子機器は、小型モジュール化、高密度集積化、低消費電力化などの性能アップのためのたゆまない技術開発により、産業機器から民生家電機器、さらにはスマートフォンに代表される個人向け携帯電子機器へと事業化が展開され、事業所単位から世帯単位、個人単位へと普及度を高めて、全世界レベルで大幅な製品個数の増加を達成してきている。2014年には、全世界で携帯電話契約台数と人口数が一致する100%普及率が既に達成されている。

これまでの半導体集積デバイス開発の歴史において、特筆すべきイノベーションは、NチャンネルMOS (Metal Oxide Semiconductor:金属酸化物半導体)トランジスタおよびPチャンネルMOSTランジスタを一对にした相補型MOS (Complementary Metal Oxide Semiconductor:CMOS)トランジスタ素子構造の採用によって、他の素子構造に比べて極めて広い動作可能領域が確保できるため、素子特性の大きな製造ばらつきを許容できることにより、きわめて大規模な集積回路が実現できるようになっており、現在では、3000億個を越えるトランジスタが集積可能となっている。

一方、半導体集積回路(IC)技術については、微細加工の限界、製造・設計コストの上昇など、様々な制限要因が明らかになり、今後の集積度向上に陰りが見え始めている。その解決策の一つとしてICデバイスを縦方向に積層して実装集積する三次元IC積層実装(3DIC)技術が、半導体IC技術の集積度向上を別次元で可能とする次世代高密度半導体デバイス実装モジュール技術として、その将来性に期待が高まっている¹⁾。

三次元IC積層実装技術によって複数のチップを三次元的に積層することで、チップの面積は増やさずに積層化によりさらなる高密度集積を実現することができる。さらに、多数の微細な接続

構造(マイクロバンプ接合、電極パッド直接接合)を用いたチップ間接続により、従来のワイヤーボンディングに比べて配線長が大幅に短縮され、信号伝送の高速大容量化や低消費電力化の達成が期待される。実際の三次元IC積層実装構造体におけるチップ間の接続は極めて多数のTSV(Through Silicon Via:Si貫通電極)およびマイクロバンプ接合を用いて行われる。図1に三次元IC積層実装技術によるチップ間接続の模式図を示す。

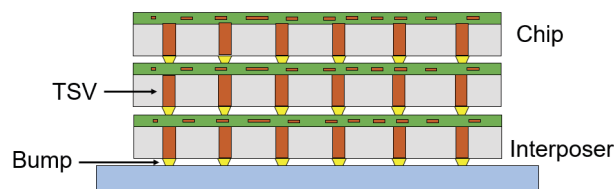


図1 三次元IC積層実装技術によるチップ間接続の模式図

熊本大学では、2023年度より熊本県と共同して提案・採択された内閣府地方大学・地域産業創生交付金事業による産学連携研究開発テーマとして、熊本大学、熊本高等専門学校、熊本地域の複数企業からなる連携開発体制を構築して、三次元IC積層実装に関する製造技術と設計技術の研究開発を進めてきている。

製造技術については、熊本大学と熊本高等専門学校が複数の中小企業(熊本地域を中心とする)と連携して、2000年頃から実施されてきた国家プロジェクトの成果を踏まえて、産業技術総合研究所(産総研)や東北大学などで地道に研究開発が進められてきた半導体LSI(Large Scale Integration:大規模集積回路)製造工程完了後にTSVを形成するピアラスト方式²⁾によるTSV形成・LSI積層実装の製造プロセス技術について、研究開発に取り組んでいる。その中で連携先の企業が保有する先端技術を活用

して、従来にない低コスト、高生産性に資する材料・プロセス技術の共同開発を進めている。特に、次世代に向けたTSV形成プロセス高度化の取り組みとして、5 μm 以下の微細TSV構造について、10を超える高アスペクト比(TSVの口径と深さの比)、高い信頼性の確保に重点を置いて研究を進めている。なお、TSVのアスペクト比は、Si基板の厚さを30-50 μm 程度に薄化する工程に直接関係しており、アスペクト比を大きくできれば、薄化の目標値を緩和でき、ウェーハ・チップのハンドリング特性の改善、デバイス特性の劣化・信頼性低下の改善を併せてもたらすと期待できる。

また、設計技術については、三次元IC積層実装への展開を念頭に、AI半導体チップの実装モジュール技術で近年注目されている超高密度配線を形成した実装基板であるインターポーザを用いた2.5D実装に代表されるチップレット実装によるベンチマークデバイスの設計を進めるとともに、三次元IC積層実装のメリットを生かした優れたシステム機能を明確化して、三次元IC積層実装設計フローの確立、基本的要素回路の蓄積など、包括的な研究開発を進めている。

最終的には、製造技術と設計技術の連携により、2.5D実装から3D実装に移行した際にシステム性能の改善がどの程度見込めるのか、具体的に試算・評価できるような設計・試作プラットフォーム拠点の構築を目指している。

次世代TSV形成技術の開発

02

次世代TSV形成技術の研究では、産学連携による研究開発の一環として、「5 μm 径・アスペクト比10」の高アスペクト比TSVの形成を目指してTSV孔パターンのフォトリソグラフィ、TSV孔のエッチング加工、TSV側壁への絶縁層成膜およびバリア/シード層成膜、TSV内部へのCu充填めっき、TSV最上部のCMP (Chemical Mechanical Polish:化学的機械的研磨)平坦化からなる一連のTSV形成プロセスについて、TEG (Test Element Group:評価用素子群) デバイスの試作・評価を行っている。さらに、TSV形成から電気特性の実測評価までを一貫して実施可能な試作・評価フローの構築を目指している。特に、TSV側壁への絶縁層成膜とバリア/シード層成膜については、難易度が高く、ALD (Atomic Layer Deposition:原子層堆積法)、ミストCVD (Chemical Vapor Deposition:化学気相成長法)、超臨界CVD、先端めっき(無電解めっき、複合めっきなど)などの新しい技術による挑戦が必要であり、その試作・評価基盤を着実に構築して、産学連携オープンイノベーション拠点として、機能させることを狙っている。以下に現状の開発状況を紹介する³⁾。

2-1. TSV孔深堀エッチングプロセス

TSV形成における深堀エッチングでは、高アスペクト比のホールを形成する必要があり、ボッシュプロセスと呼ばれる手法が広く用いられる⁴⁾。図2にボッシュプロセスによる深堀エッチング技

術の概念図を示す。プロセスガスを周期的に秒単位の短時間で切り替えることにより、① C_4H_8 プラズマによる側壁への保護膜形成ステップ、② SF_6 プラズマによる底部保護膜の異方性エッチングステップ、さらに③ SF_6 プラズマによる底部Siの等方性エッチングの3ステップを順繰り(①→②→③→①→*)に繰り返すことで、側壁垂直性の高いビアホールの形成が可能となる。



図2 ボッシュプロセスによる深堀エッチング技術の概念図

保護膜形成ステップでは、CF系のポリマーがレジストマスクを含めて全面に等方的に堆積し、その後のエッチングステップでエッチング保護膜として機能する。一方、エッチングステップでは基板に印加されたバイアスにより、加速されたイオンにより底部の保護膜だけを選択的に異方性エッチングした後、露出した底部のSiをフラジカルとの反応により等方的にエッチングする。このような3ステップのサイクルを繰り返すことで、高アスペクト比の深いビアホールを形成できる。なお、Siエッチングのモードが等方性のため、側壁に丸みが発生し、1サイクルごとに側壁の丸みが累積することでいわゆるスキヤロップと呼ばれる凹凸構造が形成される。この凹凸は、側壁絶縁層形成において、均一な連続膜を形成するのに障害となるため、できるだけ高低差を小さくする必要がある。極限までガスの切り替え時間を短縮させるとともに深堀エッチング終了後に側壁のエッチング保護膜を除去する O_2 プラズマアッシング工程において、 CF_4 や SF_6 ガスを加えて、側壁の凹凸表面を同時にエッチングすることで表面を平坦にすることが可能である。

2-2. TSV側壁絶縁層成膜プロセス

TSV形成プロセスにおいて、Si基板とTSV間の電氣的絶縁を確保するため、ビアホール側壁に絶縁層を成膜する必要がある。本研究では、絶縁膜材料として化学的安定性に優れた SiO_2 膜を採用し、TEOS (Tetra Ethoxy Silane:テトラエトキシシラン)を前駆体としたCVDにより成膜を行った。液体状態のTEOSを気化させた後、 O_2 ガスとともにチャンバー内へ供給し、高周波電力投入によりプラズマを発生させる。これにより活性化された表面反応によって、Si基板上に SiO_2 薄膜が比較的低温で形成される。

高アスペクト比のTSV孔構造においては、ビア内部での前駆体の拡散および反応種の到達が物理的に制限されるため、ビア底部付近における膜厚低下や異常結晶が生じやすい。こうした絶縁膜の被覆性低下はTSVの信頼性を損なう要因となるため、ビ

ア底部付近での十分な膜厚を確保できるようなプロセス開発が必要となる⁵⁾。

2-3. TSV側壁バリア・シード層成膜プロセス

電解めっきによりビア内にCuを充填するための前処理として、Cuの拡散防止および密着性向上を目的としたバリア層、電解反応の電極となるシード層の成膜が必要である。本研究では、高アスペクト比構造への連続的な成膜を実現するため、ロングスロースパッタ法による成膜技術を採用した。プラズマ生成時の成膜室内の様子を図3に示す。本手法の特徴は、ターゲットと基板間の距離を約30 cmと長く設定している点にある。ターゲットから放出された粒子のうち、基板に対して垂直に近い角度を維持した指向性の高い粒子を選択的にビア内部へ到達させることが可能となり、通常のスパッタ法と比較して底部への被覆性が向上する^{6,7)}。また、本研究で用いた装置では、ターゲットを基板に対して少し斜めに配置し、成膜中は基板ステージを回転させる構造となっている。これにより、高アスペクト比ビア内への均一成膜が期待できる。



図3 ロングスロースパッタ成膜装置におけるプラズマ生成時の成膜室

ア/Cuシード層を形成し、断面SEM観察により絶縁膜およびバリア/シード層のカバレッジを評価した。断面SEM観察後、EDX (Energy Dispersive X-ray Spectroscopy:エネルギー分散型X線分光法)を用いた元素マッピング分析を行い、ビア内部における各元素の分布および膜の連続性を評価した。

プロセス評価TEGデバイスの試作・評価結果

04

4-1. TSV孔深堀エッチングプロセスの結果

ボッシュサイクルの各ステップの時間を調整することで、ビアホールの垂直性が改善された。図4(a)、(b)に、プロセス条件変更前後の断面SEM観察像を示す。図4(a)のレジピ①(調整前)では、エッチング深さ方向の増加に伴いホール幅が狭まり、側壁角度が88.74°となった。そこで、プロセスの後半でSiエッチングのプロセス時間を延長することで側壁角度の改善を試みた。プロセス条件の調整により、図4(b)に示すように深さ方向のホール幅減少が抑制され、側壁角度は89.44°に改善し、約1°の向上を確認した。

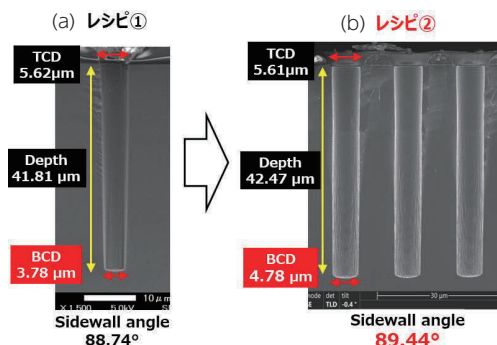


図4 ボッシュプロセスによる深堀エッチング加工後の断面SEM観察像

プロセス評価TEGデバイスの試作・評価の進め方

03

4インチSi基板上に10 μm厚のポジ型化学増幅型レジスト膜(PMER P-CY1000)をスピンコートし、i線ステッパー(Canon FPA-3000i5+)を用いて露光・現像を行うことで、プロセス評価TEGデバイスのレジストパターンを形成した。

Siの深堀エッチングにはSamco製RIE-400iPBを使用し、ボッシュプロセスにより5 μm径、深さ50 μmのビアホールを形成した。ビアホール形成後、加速電圧を5 kVとして電界放出型走査電子顕微鏡(Field Emission-Scanning Electron Microscope:FE-SEM)による観察を行い、断面形状を評価した。

ビアホール形成後のデバイスサンプルに対し、Samco製PD-100STを使用し、プラズマCVDによりSiO₂絶縁膜を形成した。また、独自設計のロングスロースパッタ装置を使用し、TiN/バリ

4-2. TSV側壁絶縁層成膜プロセスの結果

成膜圧力および成膜温度の調整により、TSVのビア底部側壁における膜厚および膜質が改善した。プラズマCVDプロセスにおいては、成膜圧力が反応種の平均自由行程および入射方向分布に影響を与えるため、圧力低下によって高アスペクト比ビア内部への到達性が改善されることが期待される。そこで、既存レジピの成膜圧力である80 Paを基準(レジピ①)とし、40 Paまで段階的に圧力を低下させて成膜を行った。図5(a)、(b)に、成膜圧力変更前後のビア底部付近の断面SEM観察像を示す。図5(a)のレジピ①では、ビア底部側壁においては連続的な絶縁膜の形成が確認されなかった。これは、高圧力下では原料ガスの平均自由行程が短く、ビア深部へのガスの拡散が十分に進行しなかったためと考えられる。そこで、成膜圧力を40 Paに低減したレジピ②を用いることで、ビア底部側壁の膜厚向上を試みた。図5(b)に示すように、レジピ①では成膜が困難であったビア底部側壁においても絶縁膜の形成が確認された。

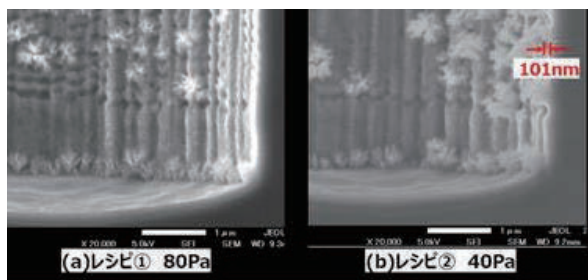


図5 異なるガス圧力でTEOSプラズマCVD成膜後のTSV底部における断面SEM観察像

一方で、レシピ②(基板温度90℃)では、形成された絶縁膜の表面にデンドライト(樹枝状結晶)状の結晶が確認された。これは、低圧化に伴うプラズマ励起種の密度低下に加え、低温条件下では表面反応における熱エネルギーが不足し、不完全なSi-O-Si結合を有するSiO₂膜となったことが要因と考えられる。このような膜質の低下は、次工程のバリア/シード層成膜における被覆性悪化の原因となる。そこで、成膜圧力を40 Paに維持したまま、基板温度を170℃まで引き上げてレシピ③とした。図6(a)、(b)に、成膜温度変更前後のビア底部付近の断面SEM観察像を示す。基板温度の上昇により、図6(b)に示すように異常成長を抑制し、平滑な絶縁膜の形成に成功した。以上のプロセス条件の調整により、高アスペクト比ビア内において、膜厚および膜質の双方で良好な絶縁膜形成プロセスを確立できた。

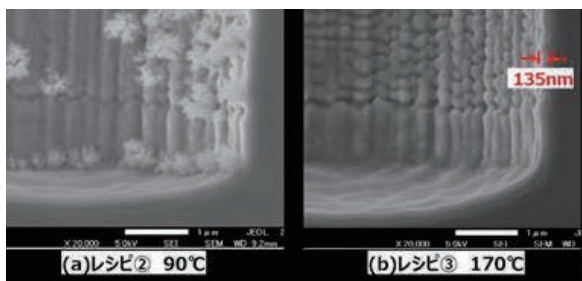


図6 異なる成膜温度でTEOSプラズマCVD成膜後のTSV底部における断面SEM観察像

4-3. TSV側壁バリア・シード層成膜プロセスの結果

絶縁膜形成後のサンプルに対し、電解めっきによりビア内にCuを充填するための前処理として、Cuの拡散を防ぐTiNバリア層および電解反応の電極となるCuシード層の成膜を行った。本研究では、ターゲットと基板間の距離を約30 cmに設定したロングスロースパッタ法を用いている。成膜条件は、Ar流量14 sccm、プロセス圧力0.75 Paとし、TiN層およびCu層を連続成膜した。本条件における成膜レートは、TiNが1.75 nm/min、Cuが7.8 nm/minであり、想定される表面膜厚はそれぞれ約70 nm、312 nmである。図7に、成膜後のビア断面におけるSEM観察像およびEDXによるCu元素マッピングの結果を示す。さらに、樹脂充填後にFIB(Focused Ion Beam:集束イオンビーム)加工したTSV上部の断面SEM観察像を示す。EDX分析の結果、ビア開口部から側壁上部にかけては十分な強度のCuピークが検出されたが、ビア深部(底面付近)に向かうにつれてCuの検出強度は低下し、FIB加工後の観察により13 μmまでCu成膜が確認されたが、本成膜条件においてはアスペクト比10のビア底部まで連続的なシード層を形成するには至らなかった。

本実験結果を踏まえ、ビア深部への粒子到達率を向上させるための装置改良を検討しており、アスペクト比10を超える微細TSV構造においても、連続的なバリア/シード層を形成可能なプロセスの確立を目指していく予定である。

次世代TSV形成技術開発の現状

05

本研究では、産学連携による研究開発体制の下で、5 μm径でアスペクト比10のTSV形成に向けたプロセス開発を進めている。各プロセスの総合的設定条件調整により、非常に垂直性の高い高アスペクト比ビアホール形成および底部側壁まで良好な被覆性を有する絶縁層の形成条件を明らかにした。また、開発途上のロングスロースパッタ法によるPVD(Physical Vapor

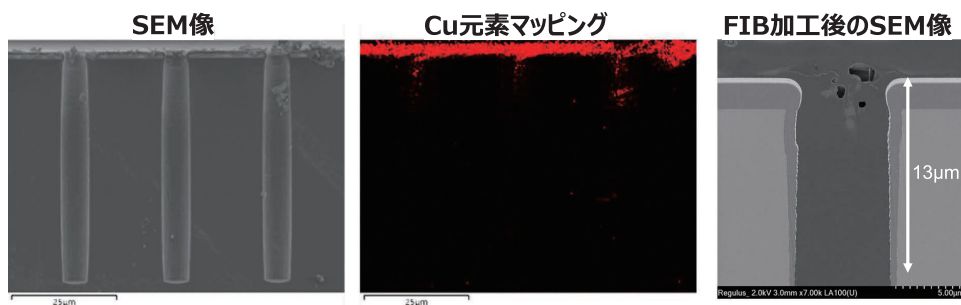


図7 Cuシード層成膜後のTSVにおける断面SEM観察像

Deposition:物理気相成長法)工程における課題を示し、プロセス開発の方向性を明確にした。今後は、Cu充填めっき、CMP平坦化を含めて、TSV形成プロセス開発を進めるとともに、TSV特性評価用TEGの試作・評価を行うことで各プロセス条件とTSVの電気特性および信頼性との関係について、総合的に評価していく予定である。

次世代TSV形成プロセスの技術開発におけるマイルストーンとして、1)TSVサイズの微細化、2)アスペクト比の増大、3)TSV周辺Si基板の内部応力低減、4)ビアCuプラグとSi基板間のキャパシタンス低減、5)ビアCuプラグの電気抵抗低減、6)TSV側壁絶縁層の耐圧・長期信頼性確保、7)熱サイクル耐性・寿命の確保、8)プロセスコストの低減などがあり、関連する電気・機械分野の諸特性も計測評価を進めていく必要がある。

なお、量産時の歩留まり向上に重要となるTSV形成プロセスの評価解析技術として、X線CT(Computed Tomography:コンピュータ断層撮影)技術を用いた三次元構造観察技術の開発を進めている。図8では、ボッシュプロセスによる深堀エッチングにより形成した5 μ m径、50 μ m深さのTSV孔の配列について、ナノフォーカスX線CT装置(BRUKER製SKYSCAN2214(Wカソード))を用いて、観察を行った結果を示す。TSV配列を形成したSiチップを3.5mm \times 5mmサイズに切り出し、CT装置の回転ステージに固定して、0.7mm \times 0.8mm領域を狙ってCT撮影して、得られた三次元構造のボクセルデータ(1ボクセルサイズは、0.32 μ m)に基づいて、xy断面とyz断面を選択して表示している。xy断面では、一直線にTSV孔の配列全体が観察され、yz

断面では、斜めに配置されたTSV孔の一部が観察されている。TSVへのCuプラグ充填プロセスにおけるボイド発生、充填不足などをTSV配列の広い範囲で観察評価できる技術となることを期待している。

今後の三次元IC積層実装の研究開発における産学官連携について 06

半導体デバイスの製造工程において、新たな材料・プロセスの開発が必要となる場面では、密に協力してくれる企業を見つけるためには、その材料・プロセスの位置づけが、最終デバイスユーザーの意向に基づき、業界で大量に使われることが望ましい。それに該当しない材料は、なかなか協力企業を見つけるのが難しいのが現状である。

そこで、大学、研究機関などアカデミアの研究機関が中心となって、研究開発コンソーシアムを組織して、その研究機関がテストデバイス・モジュールを設計、試作、評価して、デバイス・モジュールの製造フローに必要な様々な材料・プロセス装置を開発・製造・供給している企業にコンソーシアムメンバーになってもらい、新材料・プロセス技術の開発・提供を受けることで、デバイス製造フロー全体の改良・改善を効率的に進めることが可能となる。

以前にCASMATと呼ばれるCMOS半導体前工程用の低誘電率絶縁層開発のために組織された研究組合があり、競合する複

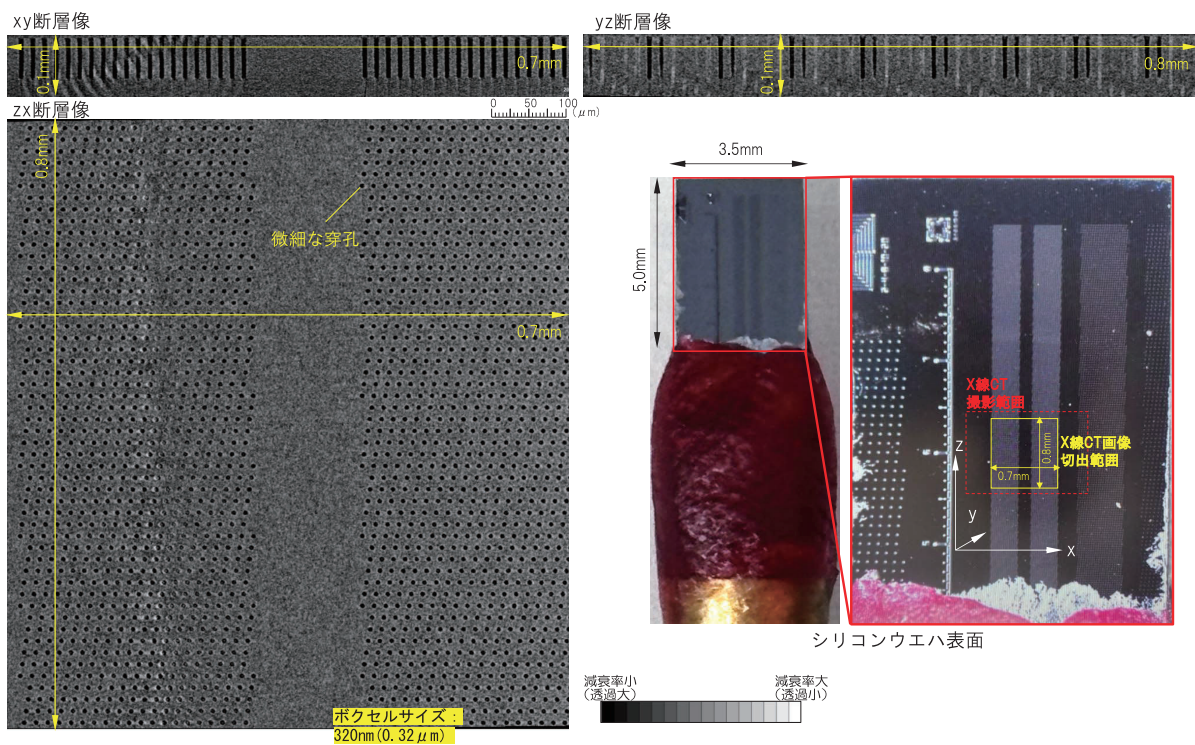


図8 ナノフォーカスX線CTによるTSV孔配列のCT撮影画像

数の材料メーカーが300 mmウェーハによる研究開発用試作評価プラットフォームを共同で運用して、Cuダマシ配線プロセスへの適合性、電気特性、信頼性などの評価などが実施され、日本の材料メーカーの研究開発が促進された事例がある。筆者は、当時、国研である産総研の研究者の立場で、高周波誘電率の測定評価のため、共同研究パートナーとして、参加させていただいた。

オープンイノベーション研究開発拠点のメリットを生かすことにより、事業競争領域に至る前段階での産学官による緊密な連携の下での効率的な研究開発体制の構築が期待される。

謝辞

三次元IC積層実装技術に関する研究開発は、熊本高等専門学校 角田功准教授、熊本大学の大川猛教授と連携して進めてきており、大学と高専の多くの学生が研究開発に参加することで、専門人材育成プログラムとしても一定の成果を上げてきている。また、研究開発の実施においては、九州工業大学マイクロ化総合技術センターより線ステッパーの使用に関して、ご支援をいただきました。また、熊本高等専門学校に設置されているエッチング装置およびCVD装置の使用に関して、Samco社より技術的なご支援をいただきました。X線CTによる撮影では、熊本大学の技術部による技術サポートをいただきました。心より感謝申し上げます。

参考文献

1. 青柳 昌宏, 居村 史人, 加藤 史樹, 菊地 克弥, 渡辺 直也, 鈴木 基史, 仲川 博, 岡田 義邦, 横島 時彦, 山地 泰弘, 根本 俊介, TUNG Bui Thanh, SAMSON Melamed. 3次元IC 積層実装技術の実用化への取り組み:基盤技術から実用技術へどのようにしてステップアップするのか. *Synthesiology*, 2016, 9(1), 1-14.
2. 渡辺 直也, 菊地 秀和, 柳澤 あづさ, 島本 晴夫, 菊地 克弥, 青柳 昌宏, 中村 彰男. 第30回エレクトロニクス実装学術講演大会講演論文集 (東京, 2016-3-22/24, エレクトロニクス実装学会) 23C3-2.
3. 園田 康太郎, 岡崎 天河, 元島 康太, 光永 尚人, 淵脇 悠史, 山田 晴己, 中久保 匡亮, 角田 功, 大川 猛, 青柳 昌宏. 第40回エレクトロニクス実装学会春季講演大会論文集 (東京, 2026-3-10/12, エレクトロニクス実装学会) 114-117.
4. 野沢 善幸. Bosch 型エッチャーによるシリコン深掘り技術, *Journal of the Vacuum Society of Japan*, 2010, 53(7), 446-453.
5. 望月 昭彦. 高アスペクト比貫通電極(TSV)に向けた絶縁膜成膜技術の進展, *電子情報通信学会技術研究報告*, 2015, 115(342), 45-50.
6. 高桑一雄, 低圧ロングスロースパッタリングを用いた新Cu成膜プロセス, *表面技術*, 1998, 49(11), 53-53.
7. Jiayi Shen, Atsushi Sinoda, Chang Liu, Tadaaki Hoshi, Murugesan Mariappan, Hisashi Kino, Mitsumasa Koyanagi, Takafumi Fukushima. Impact of Super-long-throw PVD on TSV Metallization and Die-to-Wafer 3D Integration Based on Via-last, 2023 IEEE International 3D Systems Integration Conference (3DIC), 2023, 1-4.

ハイブリッド接合技術と CMOSイメージセンサ

Hybrid Bonding Technology and CMOS Image Sensor

藤井 宣年
Nobutoshi Fujii

ソニーセミコンダクタソリューションズ株式会社研究開発センター第2研究部門2部
Sony Semiconductor Solutions Corporation, Research and Development Center, Research Division 2, Department 2

KEYWORD ▶ 積層半導体 ハイブリッド接合 イメージセンサ

受理日:2026年4月13日

はじめに

01

電子の眼と称される Complementary Metal Oxide Semiconductor (CMOS) イメージセンサ (CIS) は、スマートフォンをはじめとするコンシューマ・エレクトロニクスに搭載されるばかりで無く、工業や医療、さらには交通関係に至るまで広く社会を支える重要なデバイスとして現代社会に不可欠なものとなってきた。

初期のCISはシリコン基板上にPhotodiode層(PD)と変換回路およびロジック回路を作製し、配線工程(Back End of the Line:BEOL)を行った上にColor Filter (CF) やOn-Chip Lens (OCL) を作り込み、PDへ入射光を取り込んでいた。解像度向上にはPDの画素サイズ縮小による画素数増加が必要だが、PD上の配線間も縮小するため光感度とのトレードオフとなっていた。

そこで、CISを反転して別の基板に貼りつけ、配線層が存在しないPDの裏面側から光を入射させることが考案された。これを

裏面照射型CIS (Back-side Illuminated CIS:BI-CIS) と呼ぶ。図1(a)が支持基板へ貼りつけた時のBI-CISの概略図である。この構造はOCLに入った光を全てPDで受光できるため、光感度の大幅な向上が実現された。Iwabuchiらは、この時の光感度は従来の表面照射型CISの2倍に向上したと報告した¹⁾。また、この構造を用いれば配線に影響されないPDの微細化が可能となり、解像度の向上も可能となった。

近年のCISの進化は、このCISを反転して支持基板へ貼りつける半導体基板の積層技術の適用から始まった。特に図1(b)と(c)のように、支持基板側にロジック回路などを搭載しCISと電気的に接続する積層技術の進化が、様々な機能を持つCISの発展をけん引している。この積層技術はイメージセンサのみならず、先端の半導体デバイスに適用が急拡大してきた。本稿では、半導体デバイスにおける積層技術の概要、とりわけ最新の3次元パッケージングでも注目されている、Cu電極と絶縁膜を同時に貼り合わせるCu-Cuハイブリッド接合技術について紹介する。

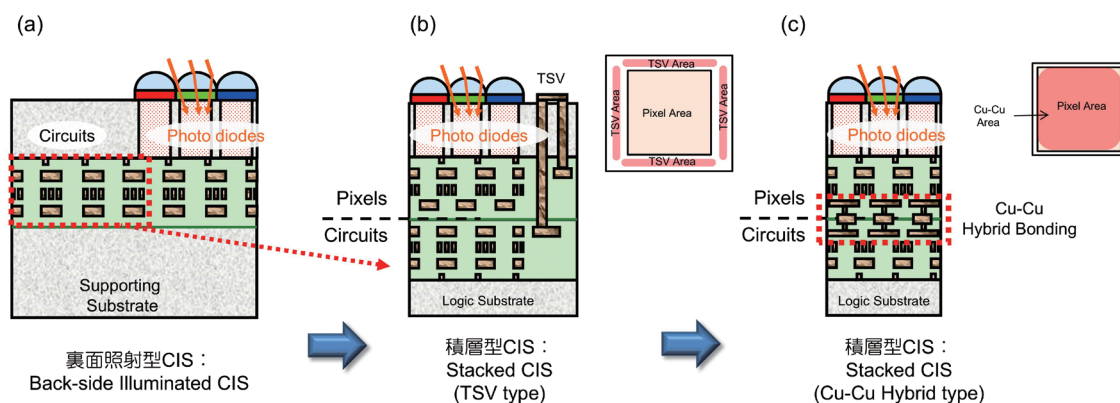


図1 CMOSイメージセンサの進化と積層技術

半導体基板の積層技術

02

半導体基板同士の接合技術には、大きく分けて基板を直接接合する技術(Direct Bonding)と、接着剤に代表される中間層を使用する接合技術(Intermediate Layer Bonding)がある。図2に半導体デバイスで使用される主な接合技術を示す。中間層接合のうち、特に接着剤接合は接合面に凹凸が存在していても、接着剤の流動性で凹凸を吸収できるため接合が容易になる。その反面、その流動性に起因する基板間の合わせ精度悪化や、硬化時の収縮による基板の反りの増大など不利な点も多い。一方、直接接合は基板間の合わせ精度は悪化しないが、接合面に高い平坦性が要求される。表面粗さとして2乗平均粗さ(RqまたはRms)で0.5 nm以下が必要とされている²⁾。したがって、接合面を化学的機械的研磨(Cheical Mechanical Polish:CMP)で研磨して平坦にするプロセスが必要となる。直接接合はCMPによる高度な平坦化があって初めて可能となる方法である。図1で示した積層は全て直接接合が用いられている。

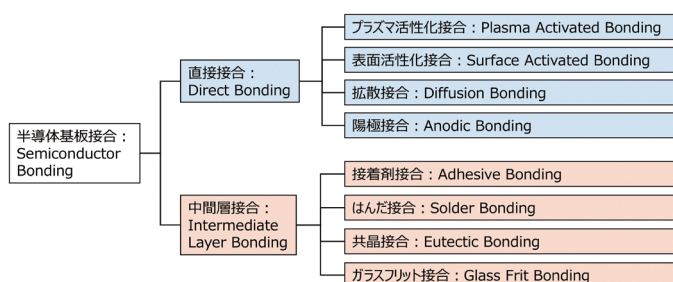


図2 半導体基板の接合方法

初期の積層型CISは図1(b)のように、接合後に上下基板をThrough Silicon Via (TSV) で電気的に接続する方法が用いられた。接合した半導体基板の一方をBack Grinding (BG)などで薄くした後、Si上にTSVを作製して下基板の電極と接続する。ここで上下基板間の高精度な位置合わせが必要なため、直

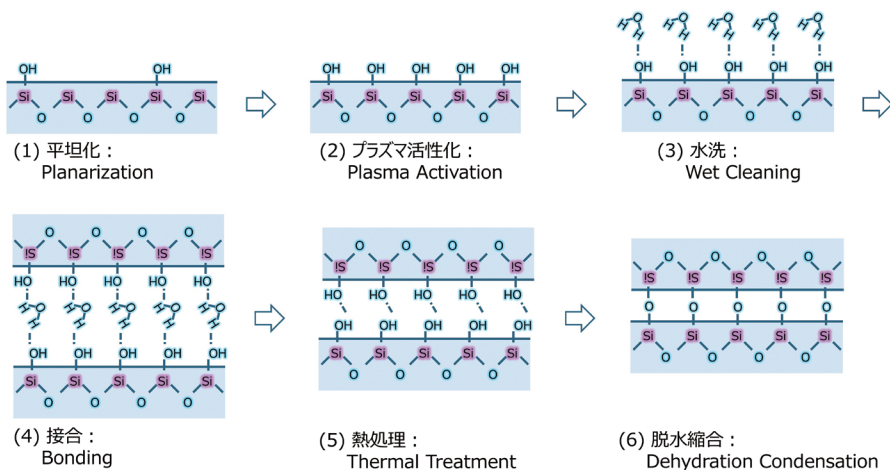


図3 プラズマ活性化接合の概要

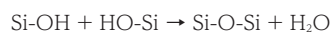
接合技術のプラズマ活性化接合が採用された。

CISはTSVを用いた積層型の機能拡大によって著しく発展した³⁾。しかし更なるCISの機能拡大には限界があった。TSVには作製するための面積や接続本数、それに伴う配線レイアウトの制約が存在する。これらの課題解決のため、積層型CISは画素の下でも電気的接属が可能となる、図1(c)のようなCu-Cuハイブリッド接合の需要が大きくなった。ハイブリッド接合とは、プラズマ活性化接合とCu電極の拡散接合(Diffusion Bonding)を組み合わせた接合方法である。まず、TSVを使った積層型CISで使用され、ハイブリッド接合でも使用されるプラズマ活性化接合の接合原理から紹介する。

プラズマ活性化による直接接合

03

プラズマ活性化接合とは、言葉の通りプラズマで接合面を活性化して接合する方法である。初期のSi基板の直接接合技術は、高い接合強度を得るため、接合後に800 °C以上の熱処理を必要としていた⁴⁾。その後、プラズマ活性化による接合面の改質が開発され⁵⁾、400 °C以下の熱処理でも十分な接合強度が得られるようになった。この400 °Cという温度は、Cuを用いたBEOLで許容される上限温度である。これによりBEOL後の半導体基板を高い接合強度で直接接合することが可能となった。この時の接合メカニズムは、式1で表される接合面で発生する脱水縮合である。



(式1)

プラズマ活性化が熱処理温度の低温化を可能とするのは、このSi-OHを接合面に増加させるためと言われている。接合強度は200 °C付近から上昇する⁶⁾。図3にSiO₂を接合面とした時の接合面状態を、極めて簡略化した模式図で示す。照射するプラズマは窒素、酸素あるいはArプラズマが一般的である。接合面となる

絶縁膜表面へプラズマを照射し、表面ダスト除去のために水洗を行う。その際、接合面へH₂Oが付着する。上下基板を貼り合わせると表面のH₂Oを挟んで接合面間に水素結合が発生し、基板同士がH₂Oで接着された状態となる。H₂Oは熱処理中に蒸気となって絶縁膜中へ拡散し、最終的に接合面のSi-OH同士で脱水縮合を起こす。脱水縮合で発生したH₂Oも絶縁膜中へ拡散するため、接合面に気泡(ボイド)は発生しない。H₂Oの透過性が悪い膜同士の接合ではH₂Oが界面にボイドを形成するため、絶縁膜の選択は重要である。

プラズマ活性化接合の一般的な貼り合わせの手順を図4に示す。表面を活性化した基板を狭い間隔で対抗させ、上下基板の

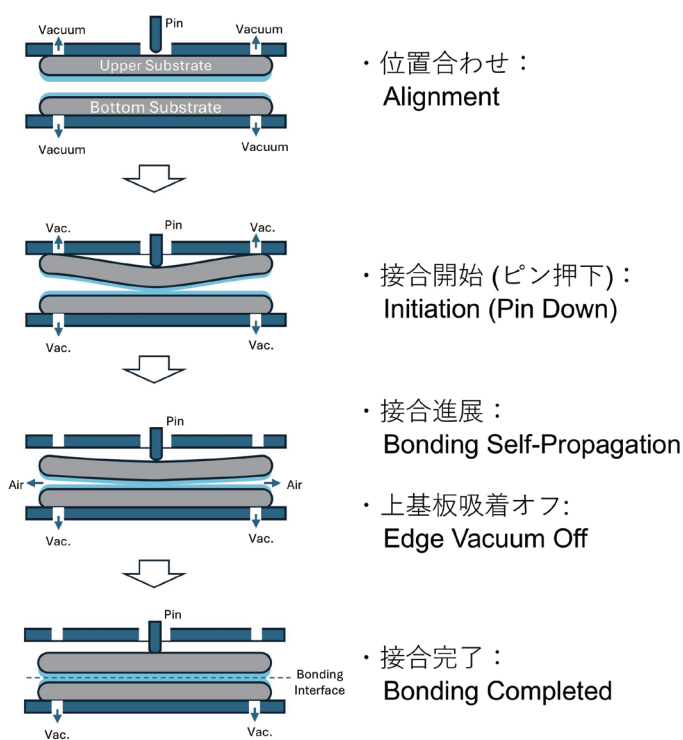


図4 直接接合の大気中接合シーケンス

位置合わせ後に中心を押下して接触させる。接触した基板の中心部から接合が開始され、外周部に向かって基板間の空気を押し出しながら、基板端まで貼られて接合が完了する。接合面に凹凸が存在する場合、貼り合わせの進行が不均一になり、面内に空気が取り残されてボイドとなるため、平坦性は接合可否に直結する。

Cu-Cuハイブリッド接合

04

Cu-Cuハイブリッド接合は、Cu電極周辺の絶縁膜同士と、上下基板を電氣的に接続する電極となるCu電極とを同時に接合する技術である。そのコンセプトが登場してから長い間、Cu-Cu間の接続はCuの表面酸化膜(CuOまたはCu₂O)を還元処理してから接合することが必要と考えられていた。ハイブリッド接合の接合面はCMPによってCu/絶縁膜が同時に研磨されるが、研磨後の表面洗浄や搬送中の大気暴露によりCu表面に自然酸化膜が形成される。近年になって表面のCu酸化膜は接合熱処理を行う場合、電極間の導通に影響がないという研究が進んだ⁷⁾。すなわち、大気中で実施するプラズマ活性化接合と同じ図4の接合シーケンスが適用可能であり、サブミクロンまで合わせ精度が向上していたプラズマ接合の高精度接合が適用できた。接合基板を熱処理すると、絶縁膜部分は脱水縮合によるSi-O-Si結合で接合され、Cu電極同士は熱膨張と熱拡散によって接合界面が混合する。このCu電極の挙動がハイブリッド接合における重要な部分である。

ハイブリッド接合のプロセスフローを図5に示す。CuはBEOLと同様にダマシン法と呼ばれる埋め込みめっき成膜で形成する。Cu CMPで電極部以外のCuを研磨・除去した後、Cuの拡散防止膜であるBarrier Metal (BM) を研磨する。BM CMPは絶縁膜

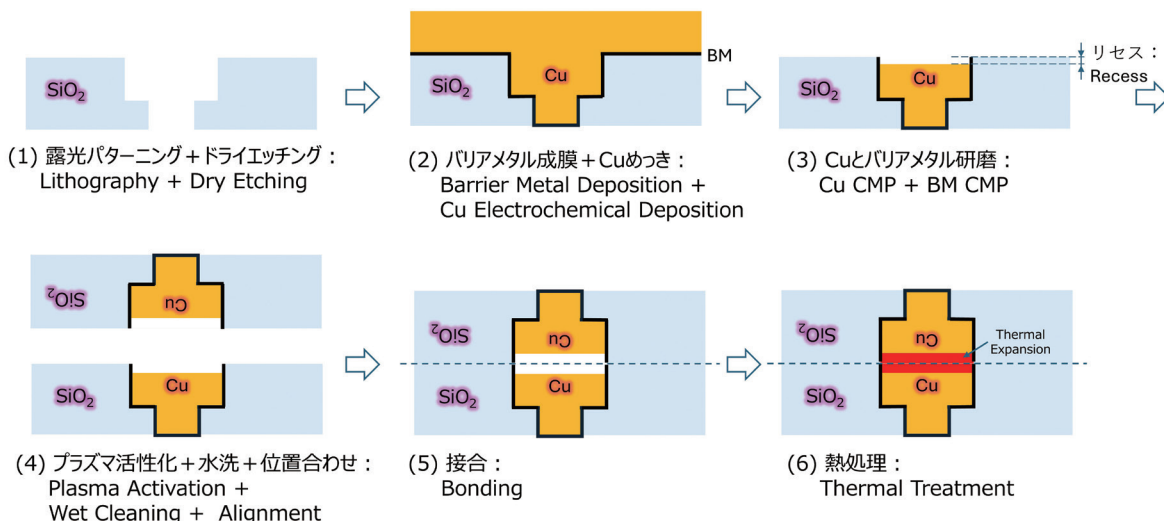


図5 Cu-Cuハイブリッド接合におけるCu電極の接続

とCuも同時に研磨して平坦面とするが、一般的なBM CMPではCu電極が絶縁膜より数nm低くなる。この凹みはCuリセスと呼ばれている。Cu電極はそのリセスのため接合相手の電極と接触できない。接合後の熱処理中に熱膨張によって接続相手のCu電極と接触し、参考文献7に記載されている熱拡散を経て電気的接続が実現する。この時同時に絶縁膜の脱水縮合も進行してハイブリッド接合が完成する。

私たちは、この技術を用いた300 mm Si基板のCu-Cuハイブリッド接合技術を2016年に報告⁸⁾し、同時に量産を開始した。この時のCu電極サイズは図6の走査電子顕微鏡(SEM)の断面写真のとおり、3.0 μm 角、Cu電極のピッチは6.0 μm となっている。このSEM写真でCu電極部のCuは、結晶粒が成長して接続先電極のCuと混合していることが観察できる。Cu-Cuハイブリッド接合技術はこれ以降急速に開発が加速され、適用デバイスも最先端のメモリ、ロジックやAIデバイスなどへ拡大している。

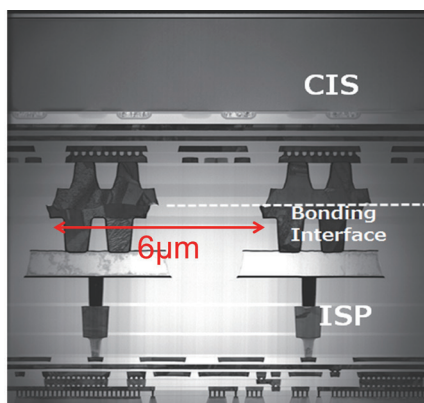


図6 Cu-Cuハイブリッド接合の接合面SEM写真⁸⁾

5-1. 微細化Cu-Cuハイブリッド接合

ハイブリッド接合におけるCu電極のピッチは継続して縮小が要求されている。ピッチの縮小はすなわちCu電極の縮小であり、Cuの体積が減少することによるCu膨張量の低下が大きな課題の一つである。図7にシミュレーションによるCuの電極サイズと熱膨張高さの計算結果を示す。Cu電極の縮小に伴って熱膨張高さは低くなり、Cuリセスの許容量も小さくなる。

CMPによるCuリセスの低減は対策の一つであるが、許容されるリセス量は約1-2 nmとなる。量産においては、300 mm基板の面内でバラつき含め1-2 nm以下のリセスに抑える必要があり、低リセスかつ均一な安定したCMPがプロセス開発や部材に要求される。

また、別のアプローチとしてCuの熱膨張量そのものを高くする方法がある。従来のCuめっき成膜によるCuよりも熱膨張量が高くなるようなCuめっき技術の開発が進んでいる。これらは主にCu内の結晶粒(Grain)を制御し、その大きさを微細化する、あるいは配向性を持たせるなどによりCu電極の膨張量を増加させる試みとなっている。微細化Cu-Cuハイブリッド接合におけるCu膨張量の課題は、主にこれら2つの技術開発が不可欠となる。

もう一つの大きな課題は、微細Cu電極の高精度アライメントである。合わせずれるには、中心がずれるXY offset、基板が回転するRotation、図4のプロセスで上基板が接合中に延伸して発生するRun-Outが主な成分となる⁹⁾。微細Cu電極では、これに加えて歪みの影響が出てくる。歪みとはCu電極位置の変動を伴う配線パターンの変形である。接合が進展する際、基板面内の結晶方位の違いから弾性率も面内で違い、基板の変形方向に影響するためである。これは大きくても100 nm程度であるが、100-200 nm程度の微細なCu電極には大きな影響がある。Hirano

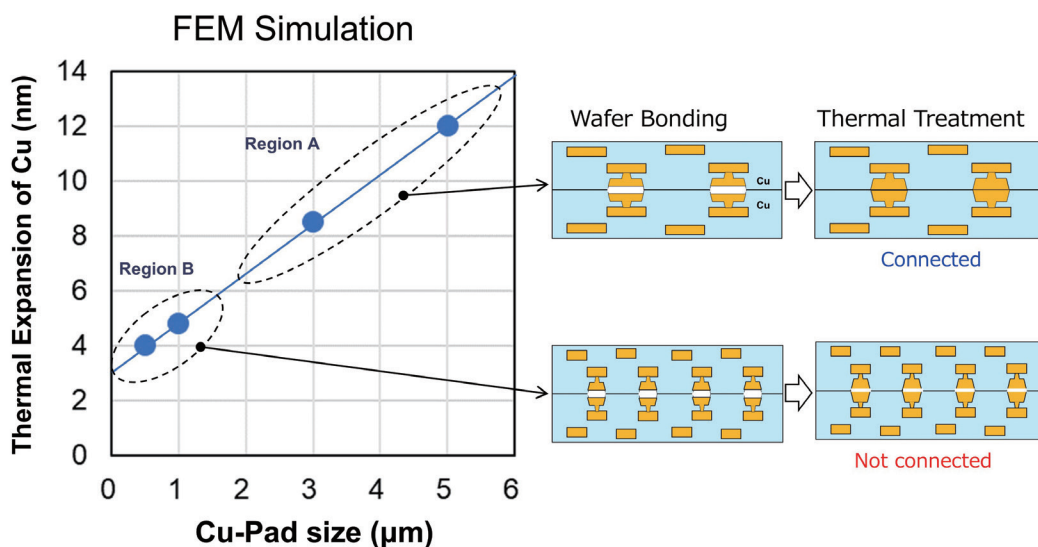


図7 Cu電極のサイズと熱膨張量の計算結果

らはシミュレーションによって、歪みがCu電極のレイアウトや接合面に占める面積比にも影響されることを報告している¹⁰⁾。

これらをCMPや接合プロセス、接合面のレイアウト設計、接合装置で高度に制御することで、図8のようなCu電極が200 nm角、電極間ピッチが400 nmの接合が可能となった¹¹⁾。高精度なハイブリッド接合に必要な課題と対策が明確になり、現在ではCu電極ピッチの更なる縮小が加速している。

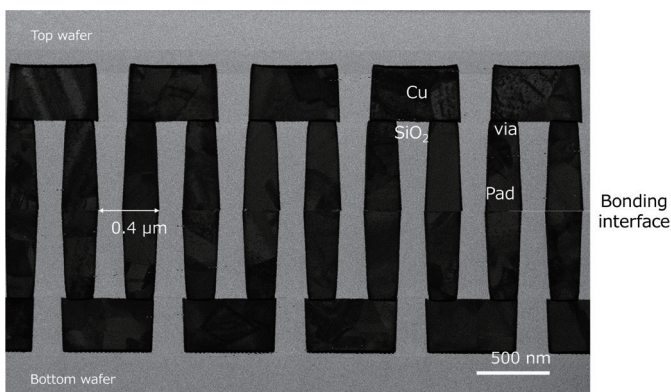


図8 微細Cu電極を用いたCu-Cuハイブリッド接合¹¹⁾

5-2. 3層積層Cu-Cuハイブリッド接合

接合した上基板側にTSVとCu配線、さらにCu電極を作り込むことによって、3層目の半導体デバイスをCu-Cuハイブリッド接合で積層することができる。この3層積層に伴う課題の一つが、2層目の基板外周の大きなスロープである。上基板を薄くする際に発生する外周端のスロープに加え、TSVとCu配線工程、さらにCu電極CMPなどのプロセスを経るとスロープが大きくなる。スロープが大き過ぎる場合は3層目の外周が貼れず、未接合の部分が剥離して3層積層は実現できない。そのため、接合後の基板を薄くする工程や、外周に対して影響のある工程でスロープを抑制するプロセスの最適化が必要である。

3層積層でもう一つ課題となるのが、合わせずれ成分のうちのRun-Outである。3層目のCu-Cuハイブリッド接合におけるRun-

Outは、2層目の接合時に発生するRun-Outに大きく依存することが判っている¹²⁾。すなわち、2層目のRun-Out成分が大きい場合、3層目の合わせずれも大きくなる。3層目を高い合わせ精度で接合するため、2層目の接合時に上下基板の反り量を調整してRun-Outを制御することが必要となる。

これらを改善したプロセスを用いて3層積層のCu-Cuハイブリッド接合は実現される。図9に3層の断面SEM写真を示す。さらなる多層積層においても課題は共通部分が多い。4層目以上の積層も、積層による反りの課題に対処すれば十分可能なため、更なる半導体積層によるデバイスの進化は実現可能と考えられる。

おわりに

06

半導体デバイスを高度に積層する技術として、Cu-Cuハイブリッド接合技術を紹介した。この接合技術はコンセプトが提案されてから長い間、特に大口径基板を用いた量産は、技術的困難さから実現されなかった。数多くの基礎研究と、装置技術やプロセス技術の進化、そして何より半導体デバイスを高精度・高密度に積層するという強い需要により、遂に量産されるに至った。近年では、最先端ロジックやメモリ、AIといった分野への3次元パッケージング技術適用に伴い、Cu電極ピッチの縮小が加速してきている。今やCu-Cuハイブリッド接合技術は半導体デバイスの進化に不可欠であり、広く社会を発展させるための重要な技術となった。

謝辞

本稿の成果の一部は、NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)の助成事業「ポスト5G情報通信システム基盤強化研究開発事業」(JPNP20017)の結果得られたものです。

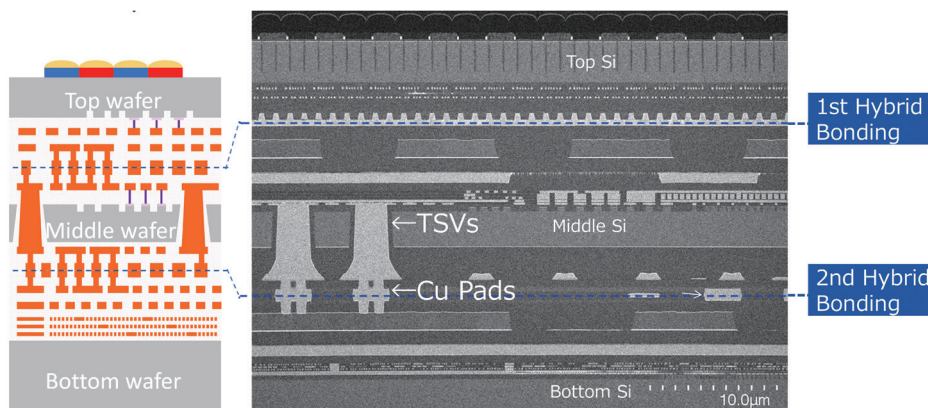


図9 3層積層Cu-Cuハイブリッド接合の断面SEM写真¹²⁾

参考文献

1. S. Iwabuchi, Y. Maruyama, Y. Ohgishi, M. Muramatsu, N. Karasawa, and T. Hirayama. A back-illuminated high-sensitivity small-pixel color CMOS image sensor with flexible layout of metal wiring. *ISSCC Dig. Tech. Papers*, 2006, 302-303.
2. H. Takagi, R. Maeda, T. R. Chung, N. Hosoda, and T. Suga. Effect of Surface Roughness on Room-Temperature Wafer Bonding by Ar Beam Surface Activation. *Jpn. J. Appl. Phys.*, 1998, 37, 4197-4203.
3. S. Sukegawa, T. Umebayashi, T. Nakajima, H. Kawanobe, K. Koseki, I. Hirota, T. Haruta, M. Kasai, K. Fukumoto, T. Wakano, K. Inoue, H. Takahashi, T. Nagano, Y. Nitta, T. Hirayama, and N. Fukushima. A 1/4-inch 8Mpixel Back-Illuminated Stacked CMOS Image Sensor. *Dig. Tech. Papers, Int. Solid-State Circuits Conf.* 2013, 484-485.
4. G. L. Sun, J. Zhan, Q-Y. Tong, S. J. Xie, Y. M. Cai, and S. J. Lu. Cool plasma activated surface in silicon direct bonding technology. *J. de Physique*, 1998, 49(C4), 79.
5. S. N. Farrens, J. R. Dekker, J. K. Smith, and B. E. Roberds. Chemical Free Room Temperature Wafer To Wafer Direct Bonding. *J. Electrochem. Soc.*, 1995, 142, 11, 3949-3955.
6. Q-Y. Tong, E. Schmidt, U. Gosele, and M. Reiche. Hydrophobic silicon wafer bonding. *Appl. Phys. Lett.*, 1994, 64, 625-627.
7. L. Di Cioccio, P. Gueguen, R. Taibi, D. Landru, G. Gaudin, C. Chappaz, F. Rieutord, F. de Crecy, I. Radu, L. L. Chapelon, and L. Clavelier. An Overview of Patterned Metal/Dielectric Surface Bonding: Mechanism, Alignment and Characterization. *J. of The Electrochem. Soc.*, 2011, 158, 81-86.
8. Y. Kagawa, N. Fujii, K. Aoyagi, Y. Kobayashi, S. Nishi, N. Todaka, S. Takeshita, J. Taura, H. Takahashi, Y. Nishimura, K. Tatani, M. Kawamura, H. Nakayama, T. Nagano, K. Ohno, H. Iwamoto, S. Kadomura, and T. Hirayama. Novel stacked CMOS image sensor with advanced Cu₂Cu hybrid bonding. *IEDM Dig. Tech. Papers.*, 2016, 8.4.1-8.4.4.
9. G. Gaudin, G. Riou, D. Landru, C. Tempesta, I. Radu, M. Sadaka, K. Winstel, E. Kinser, and R. Hannon. Low temperature direct wafer to wafer bonding for 3D integration: Direct bonding, surface preparation, wafer-to-wafer alignment. *IEEE 3D System Integration Conf.*, 2010, 1-4.
10. T. Hirano, T. Yamada, S. Kobayashi, Y. Hagimoto, and H. Iwamoto. Simulation of device structure impacts on bonding wave and strain in Wafer-to-Wafer Cu-Cu Hybrid Bonding. *Elec. Components and Tech. Conf. Proc.*, 2023, 1314-1318.
11. Y. Ikegami, T. Onodera, M. Chiyozone, A. Sakamoto, K. Shimizu, Y. Kagawa, and H. Iwamoto. Study of Ultra-Fine 0.4 μm Pitch Wafer-to-Wafer Hybrid Bonding and Impact of Bonding Misalignment. *Proc. Electronic Components and Tech. Conf.*, 2024, 299-304.
12. K. Shimizu, T. Kamibayashi, K. Saito, N. Araki, R. Nakamura, W. Otsuka, Y. Kagawa, and H. Iwamoto. Development of A Novel WoWoW Process for 1/1.3-inch 50 Megapixel Three-wafer-stacked CMOS Image Sensor with DNN Circuits. *Proc. Electronic Components and Tech. Conf.*, 2025, 559-564.

表面活性化接合と テンプレートストリッピングを 組み合わせた接合面の平滑化技術

Planarization of Bonding Surfaces based on Template Stripping
and Surface Activated Bonding Techniques

竹内 魁
Kai Takeuchi

東北大学大学院工学研究科電子工学専攻 准教授
Department of Electronic Engineering, Graduate School of Engineering, Tohoku University (Associate Professor)

日暮 栄治
Eiji Higurashi

東北大学大学院工学研究科電子工学専攻 教授
Department of Electronic Engineering, Graduate School of Engineering, Tohoku University (Professor)

KEYWORD ▶ 実装 常温接合 めっき

受理日:2026年5月19日

はじめに

01

電子デバイスの実装工程において、接合技術は重要な要素技術であり、機械的接続、電気的接続、放熱、封止といった種々の要求に応じながら接合界面を構成する必要がある。接合手法の中でも、金(Au)を介した接合技術は、Auの低い電気抵抗、高い熱伝導率、高い耐食性などから広く用いられる。また、比較的小さなヤング率や他の金属のように自然酸化膜を形成しないため、Au同士の接合界面での密着や拡散が得やすい。これにより、たとえばAlやCuなどの金属材料の接合と比較すると¹⁾Auは低温低荷重で直接接合を得ることができる。

中でも、Auめっきはボンディングパッドやボンディングフレームなど、さまざまな形状・構造の接合面に広く利用されている²⁻⁵⁾。しかし、従来のAuめっきの熱圧着接合では、接合界面においてAu原子を拡散させるために250℃を超える加熱が必要となる。特に、異種材料、異種デバイス、異種構造、ないしは脆性材料などの集積においては、高温プロセスによる熱ダメージや熱膨張係

数の差による残留熱応力が、デバイスの信頼性や性能に直結するため、低温あるいは室温プロセスでの接合技術が高機能デバイス実装の鍵となる。

室温プロセスでの接合技術の代表的な手法の一つが、表面活性化接合である。この標準的なプロセスでは、図1に示すように、物理エッチングにより吸着物や汚染物質を除去し、接合面を活性化する。活性化された接合面は表面自由エネルギーが高く、接触させるだけで金属結合などの原子レベルの結合を形成するため、加熱を必要とせずに常温で接合を達成する技術である。特にAu材料の表面活性化接合は広く研究されており、Ar原子ビームやプラズマを用いたAu接合層の表面活性化接合では、ウェーハレベルの大面積、室温工程、大気中、無加圧といった条件でも、接合界面で強固なAu-Au金属結合を形成し、母材破壊レベルの高い接合強度を示す⁶⁻¹⁰⁾。したがって、表面活性化接合は室温での直接Au接合を実現するための有力なアプローチといえる。

表面活性化技術はAuの低温/室温接合に欠かせないが、低温接合にはもう一つ重要な要素がある。それが接合面の平滑性である。表面活性化接合に代表される低温/室温接合では、接合界

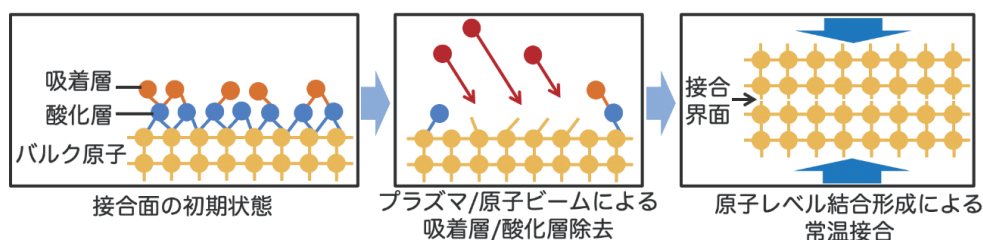


図1 表面活性化接合のプロセス

面で結合を形成しながら密着を得るために、原子レベルで平滑な接合面が必要である。表面粗さが大きいと、接合界面の微小な空隙を埋めるためにより大きな変形エネルギーが必要となるためである。特に低温や室温での接合では、表面粗さが10 nm以下の平滑な接合面が求められる¹¹⁻¹³⁾。一般に、低温接合のための接合面の平滑化には、化学機械研磨(Cheical Mechanical Polishing: CMP)が用いられる。しかし、CMPは主にウェーハに適用される技術であり、チップやパターン構造を持つ試料には適用が難しく、化学的に不活性なAuに対しては適用がさらに困難である。そのため、研磨を用いない新たな平滑化手法が必要である。本稿では、従来の研磨技術を必要としない新たな平滑化技術と得られた平滑面を活用した常温接合とその応用について解説する。

テンプレートストリッピングによる平滑化技術

02

平滑な薄膜を得る手法として、テンプレートストリッピング(Template stripping)と呼ばれる手法が開発されている。テンプレートストリッピングとは、平滑なテンプレート上に堆積させた金属膜をテンプレートから剥離することで、テンプレート表面と同等に平滑な面を得る手法である^{14, 15)}。著者らは、この手法と表面活性化接合を組み合わせることで、研磨のような除去加工ではなく、転写による付加加工に基づき、粗い接合面を平滑化する技術を開発した¹⁶⁻¹⁸⁾。表面活性化とテンプレートストリッピングによる平滑化プロセスは、標準的には図2のような工程となる。

まず、テンプレート上に、Au薄膜をスパッタリングにより成膜する。基本的にテンプレート表面の形状が、転写後の金属薄膜の表面形状と一致するため、テンプレートは平滑な表面を持つ必要がある。テンプレートに成膜するAuの膜厚は典型的には100 nm程度である。Au薄膜を持つテンプレートと、平滑化を行う試料の両方をArプラズマ処理によって表面活性化する。これは主として表面吸着物の除去を狙うものである。その後、活性化した2つの面を接触させ、大気中で接合する。当然、平滑化を狙う面

の表面粗さは大きいので、室温では接合できない。ここでは150℃程度まで加熱することで、テンプレート上のAu薄膜とAuめっき膜を接合する。通常の熱拡散接合では先述のように250℃以上の加熱が必要であるが、表面活性化を行うことで150℃の加熱でも粗い膜との接合が可能となる。こうして接合したのちに、テンプレート基板を剥離させると、Au薄膜だけがAuめっき膜上に転写される。この表面は、テンプレート基板の表面を反映し、平滑な面となり、さらにこの転写プロセスを複数回行うことで、より平滑化効果を高めることができる。

テンプレート基板には、平滑性ととともに、Au薄膜との剥離性、つまり弱い密着力が求められ、熱酸化膜を持つSi基板や、ポリイミド(PI)フィルムなどを標準的に用いる。Auめっきのような粗い表面を平滑化する場合、転写されたAu膜が表面の凹凸を完全に埋めず、元の粗い表面と転写膜の間にギャップが生じる可能性がある。このようなギャップは、熱酸化膜を持つSi基板のような剛性の高いテンプレート基板を用いて、粗い接合表面を平滑化した場合によく確認される¹⁸⁾。一方で、PIフィルムをテンプレートとして用いる場合には、ヤング率の低いPIが平滑化対象面の凹凸を埋めるように変形するため、Auめっきと転写膜の間のギャップを埋める効果が期待される。本稿では、PIテンプレートを用いる平滑化技術に焦点を当てる。

図3にPIテンプレートを用いて平滑化したAuめっき膜表面の走査型電子顕微鏡(Scanning Electron Microscope: SEM)像を示す。平滑化前には、Auめっきにより形成される凹凸が確認されるが、3回Au薄膜を転写したのちにはこれらの形状は確認

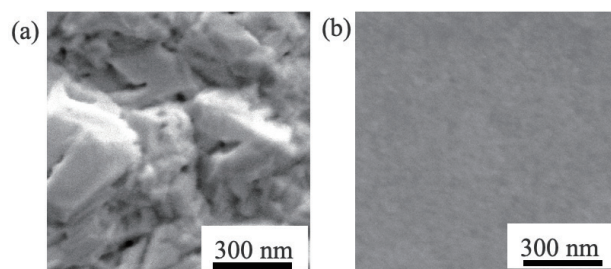


図3 (a)平滑化前と(b)Au薄膜を3回転写し平滑化したAuめっき膜のSEM

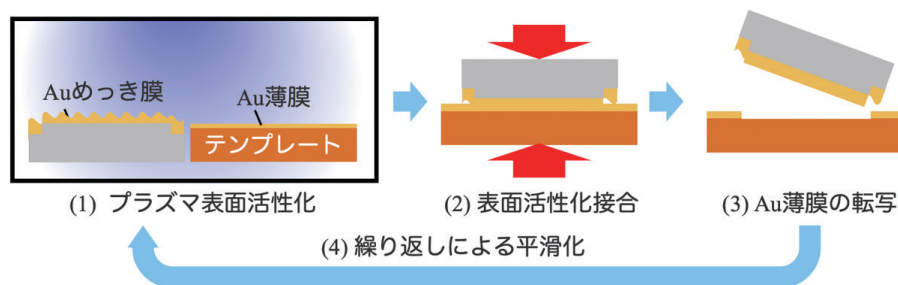


図2 表面活性化接合とテンプレートストリッピング技術を用いる平滑化プロセス

されない。つまり、もともとの表面粗さを埋めながら、Au薄膜がめっき表面を覆っていき、表面を平滑化していることがわかる。

また図4には、転写前後のAuめっき膜の断面SEM像を示す。図3の表面観察と同様に、めっき膜の表面の凹凸が、転写膜によって埋められ平滑化される様子がわかる。また、表面の凹凸が大きい箇所については、Au転写膜が完全に凹凸に追従せずに、わずかに空隙として残留することがわかる。一方で、この空隙は、例えば熱酸化膜付きSi基板のようなテンプレートを用いるとさらに大きくなることもわかっており、テンプレート基板には平滑性だけでなく、平滑化対象の表面形状に適する機械特性が求められることがわかってきている。この場合では、PIテンプレートを用いることで、空隙の発生を抑制しながら平滑化が実証された。

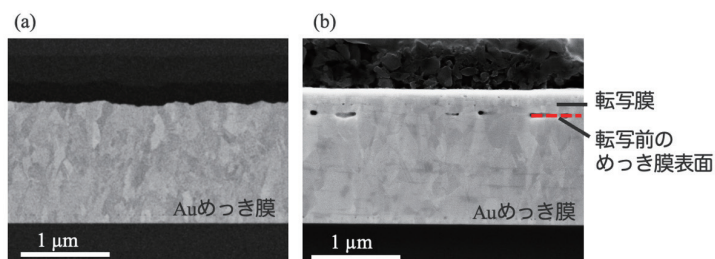


図4 (a) 平滑化前と (b) Au薄膜を3回転写し平滑化したAuめっき膜の断面SEM像

この時の原子間力顕微鏡 (Atomic Force Microscopy: AFM) で測定した表面粗さRMS (Root Mean Square)を図5に示す。未処理のAuめっき膜はRMS 22 nm程度 (AFM走査範囲 10 μm角) であるが、Au薄膜の転写により表面粗さは減少していき、3回転写後にはRMS 6 nm程度まで低下することがわかる。これは、もともとのAuめっき膜上のマイクロな凹凸がまず平滑化され、転写を繰り返すとより大きなサイズの凹凸が平滑化されることで、徐々に表面粗さが減少するためである。加えて、PIテンプレートで平滑化したのちに熱酸化膜テンプレートを用いて平滑化すると、空隙を抑制しつつ、RMS 1 nm程度まで平滑化可能である¹⁷⁾。

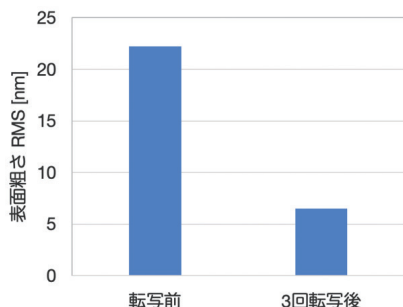


図5 転写前後のAuめっき膜の表面粗さ

次に、平滑化前後でAuめっき膜を常温接合して得られる接合強度を図6に示す。接合相手にはAu薄膜を成膜したSiチップ (RMS 0.4 nm) を用いて、表面活性化後に室温で接合し、評価

したものである。転写前、つまり平滑化前のAuめっき膜は、上述のように表面粗さが大きく、150 °C程度の熱をかけることで転写接合は可能であるが、室温では接合には至らない。一方で、Au薄膜の転写によって平滑化されると、もともと粗いめっき膜であっても常温接合が可能となり、23 MPa程度の接合強度という母材破壊強度を示す。平滑化によって強固な常温接合が可能となることがわかる。

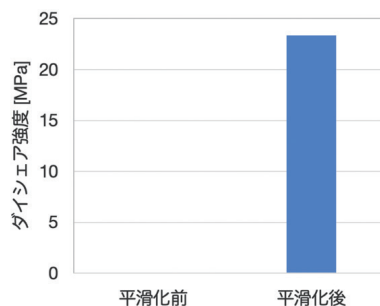


図6 平滑化前後のAuめっき膜の常温接合強度

表面活性化接合とテンプレートストリッピングを用いる平滑化手法は、バンプのようなパターンをもつ接合面にも適用可能である。図7に示すのは、径100 μmのAuめっきバンプにAu薄膜を転写し平滑化した試料のSEM観察像である。パターンのないAuめっき膜と同様に、転写前にはめっき由来の表面の凹凸が確認されるが、Au薄膜を同様のプロセスで1回転写すると、凹凸が覆われ平滑化される様子がわかる。これは、テンプレート側のAu薄膜がバンプパターンの形状だけ転写されたことを意味する。このことから、Auめっきバンプのように平滑化対象の表面にパターンがあっても、接合面だけに選択的にAu薄膜を転写し平滑化が可能であることを実証した。

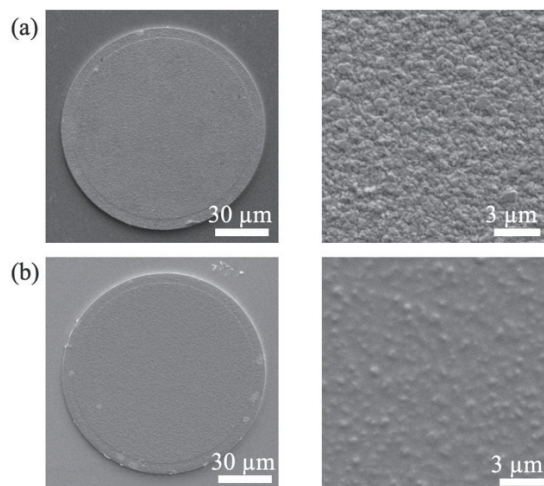


図7 (a) Au薄膜転写前と (b) 転写後のAuめっきバンプ表面のSEM観察像 (左) とその表面拡大像 (右)

また、この際の表面粗さを見てみると、図8のようにパターンのない場合と同様に転写を繰り返すことで表面粗さが低減することがわかる。平滑化前にはRMS 30 nm程度を持っていたAuめっきバンプ表面は、3回転写後にはRMS 7 nm程度まで平滑化される。さらに、これをAu薄膜へ常温接合すると、図9のように、平滑化前には2.3 MPa程度だった接合強度が3回転写による平滑後には7.3 MPa程度まで上昇する。一般にバンプを介した接合は、バンプの塑性変形を伴うことで密着性を高めるが、平滑化はさらに密着性を高め、室温プロセスであっても接合強度の上昇に寄与することがわかる¹⁹⁾。

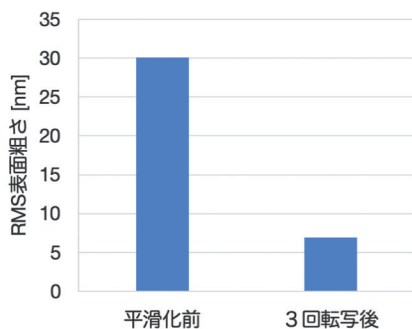


図8 転写前後のAuめっきバンプの表面粗さ

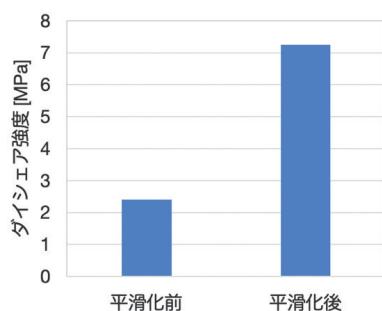


図9 平滑化前後のAuめっきバンプの常温接合強度

おわりに

03

本稿では、室温接合に向けたPIテンプレートストリッピングによるAuめっきの平滑化手法と、これによる常温接合を紹介した。PIテンプレートを用いたテンプレートストリッピングにより、Au薄膜をAuめっき表面に繰り返し転写することで、めっき膜表面の表面粗さRMSは22 nmから約6 nmまで低減された。平滑化されたAuめっきは、室温において平滑なAu膜と高い接合強度で接合することが可能となり、母材破壊を示す強固な接合強度が得られた。さらに、この手法はAuめっきバンプのようなパターンをもつ接合面にも有効であり、バンプ表面の平滑化と常温接合に寄与することが示された。これらの実験結果は、本研究で示した平滑

化手法が、さまざまな電子デバイスのパッケージングおよび接合において重要となるAuめっきの常温直接接合に適用可能であり、将来の電子デバイス実装プロセスへの寄与が期待される。

謝辞

本研究の実施に際し、共同研究者であるLe Hac Huong Thu氏(産業技術総合研究所)、松前貴司氏(産業技術総合研究所)、高木秀樹氏(産業技術総合研究所)、倉島優一氏(産業技術総合研究所)、津田貴大氏(関東化学株式会社)、清水寿和氏(関東化学株式会社)、徳久智明氏(関東化学株式会社)、小関奨吾氏(東北大学博士課程前期2年の課程)、後藤慎太郎氏(東北大学博士課程後期3年の課程)にご協力をいただきました。また、本研究の一部は、JST、ASTEP、JPMJTM20BNの支援およびJSPS科研費23H01460、23K26154の助成を受けて行われました。感謝申し上げます。

参考文献

1. V. Dragoi, G. Mittendorfer, J. Burggraf, and M. Wimplinger. Metal Thermocompression Wafer Bonding for 3D Integration and MEMS Applications. *ECS Transactions*. 2010, 33, 4, 27-35.
2. K. Tanida, M. Umamoto, T. Morifuji, R. Kajiwara, T. Ando, Y. Tomita, N. Tanaka, and K. Takahashi. Au bump interconnection in 20 μ m pitch on 3D chip stacking technology. *Japanese Journal of Applied Physics*. 2003, 42, 10R, 6390-6395.
3. G.-S. Park, Y.-K. Kim, K.-K. Paek, J.-S. K., J.-H. Lee, and B.-K. Ju. Low-Temperature Silicon Wafer-Scale Thermocompression Bonding Using Electroplated Gold Layers in Hermetic Packaging. *Electrochemical and Solid-State Letters*. 2005, 8, 12, G330-G332.
4. Y. Kurashima, A. Maeda, J. Lu, L. Zhang, and H. Takagi. Room-temperature direct bonding of electroplated Au patterns flattened by a thermal imprint process. *Microelectronic Engineering*. 2014, 119, 48-52.
5. M. S. A. Farisi, H. Hirano, J. Frömel, and S. Tanaka. Wafer-level hermetic thermo-compression bonding using electroplated gold sealing frame planarized by fly-cutting. *Journal of Micromechanics and Microengineering*. 2016, 27, 1, 015029.
6. E. Higurashi, T. Imamura, T. Suga, and R. Sawada. Low-Temperature Bonding of Laser Diode Chips on Silicon Substrates Using Plasma Activation of Au Films. *IEEE Photonics Technology Letters*. 2007, 19, 24, 1994-1996.
7. E. Higurashi, K. Okumura, Y. Kunimune, T. Suga, and K. Hagiwara. Room-Temperature Bonding of Wafers with Smooth Au Thin Films in Ambient Air Using a Surface-Activated Bonding Method. *IEICE Transactions on Electronics*. 2017, E100.C, 2, 156-160.
8. M. Yamamoto, T. Matsumae, Y. Kurashima, H. Takagi, T. Suga, T. Itoh, and E. Higurashi. Comparison of Argon and Oxygen Plasma Treatments for Ambient Room-Temperature Wafer-Scale Au-Au Bonding Using Ultrathin Au Films. *Micromachines*. 2019, 10, 2, 119.
9. K. Takeuchi, J. Wang, B. Kim, T. Suga, and E. Higurashi. Room temperature bonding of Au assisted by self-assembled monolayer. *Applied Physics Letters*. 2023, 122, 5, 051603.
10. K. Takeuchi and E. Higurashi. Wafer Bonding of GaAs and SiC via Thin Au Film at Room Temperature. *Micromachines*. 2025, 16, 4, 439.
11. H. Takagi, R. Maeda, T. R. Chung, N. Hosoda, and T. Suga. Effect of Surface Roughness on Room-Temperature Wafer Bonding by Ar Beam Surface Activation. *Japanese Journal of Applied Physics*. 1998, 37, 7A, 4197-4203.
12. M. Yamamoto, T. Matsumae, Y. Kurashima, H. Takagi, T. Miyake, T. Suga, T. Itoh, and E. Higurashi. Wafer-scale Au-Au surface activated bonding using atmospheric-pressure plasma. 2019 International Conference on Electronics Packaging (ICEP).

361-364.

13. M. Yamamoto, T. Matsumae, Y. Kurashima, H. Takagi, T. Suga, S. Takamatsu, T. Itoh, and E. Higurashi. Effect of Au Film Thickness and Surface Roughness on Room-Temperature Wafer Bonding and Wafer-Scale Vacuum Sealing by Au-Au Surface Activated Bonding. *Micromachines*. 2020, 11, 5, 454.
14. S. Lee, S.-S. Bae, G. Medeiros-Ribeiro, J. J. Blackstock, S. Kim, D. R. Stewart, and R. Ragan. Scanning Tunneling Microscopy of Template-Stripped Au Surfaces and Highly Ordered Self-Assembled Monolayers. *Langmuir*. 2008, 24, 12, 5984-5987.
15. N. Vogel, J. Zieleniecki, and I. Köper. As flat as it gets: ultrasmooth surfaces from template-stripping procedures. *Nanoscale*. 2012, 4, 3820-3832.
16. E. Higurashi, M. Yamamoto, R. Nishimura, T. Matsumae, Y. Kurashima, H. Takagi, T. Suga, and T. Itoh. Formation of smooth Au surfaces produced by multiple thin-film transfer process based on template stripping for low-temperature bonding. 2020 IEEE 70th Electronic Components and Technology Conference (ECTC), 223-228.
17. S. Koseki, M. Ogino, K. Takeuchi, L. H. H. Thu, T. Matsumae, H. Takagi, Y. K., T. Tsuda, T. Tokuhisa, T. Shimizu, and E. Higurashi. Template Stripping Process Combined With Polyimide and SiO₂/Si Templates for Obtaining Smooth Au Surfaces. 2024 International Conference on Electronics Packaging (ICEP), 129.
18. K. Takeuchi, S. Koseki, L. H. H. Thu, T. Matsumae, H. Takagi, Y. Kurashima, T. Tsuda, T. Tokuhisa, T. Shimizu, and E. Higurashi. Room temperature bonding of Au plating through surface smoothing using polyimide template stripping. *Sensors and Actuators A: Physical*. 2025, 383, 116211.
19. S. Koseki, K. Takeuchi, L. H. H. Thu, T. Matsumae, H. Takagi, Y. Kurashima, T. Tsuda, T. Tokuhisa, T. Shimizu, and E. Higurashi. Smoothing of Plated Au Bumps Based on Template-Stripping for Low-Temperature Bonding. 2025 International Conference on Electronics Packaging and iMAPS All Asia Conference (ICEP-IAAC), 115-116.

MEMO



A series of horizontal dotted lines for writing, spanning the width of the page.

KEYWORDS

キーワード解説

■ 先端半導体パッケージング

半導体の微細化による性能向上が限界に近づく中、微細化に依存しない新たなアプローチとして注目される技術。パッケージングの進化により半導体の性能や電力効率を向上させる技術であり、複数の異なる半導体チップ(CPU、メモリなど)を1つのパッケージ内に高密度で配置・接続するチップレットが代表的な設計手法。これを実現する実装技術には、インターポーザ(中間基板)を介してチップを横に並べる2.5D実装や、縦に積む3D実装などがある。

■ CMP

Chemical Mechanical PlanarizationまたはChemical Mechanical Polishingの略。砥粒や酸化剤、防食剤を含む研磨剤(スラリー)を流しつつ、研磨パッド上でウェーハを加圧・回転させることで、化学作用と機械作用によりウェーハ表面の凹凸を除去し、極めて平坦な状態に加工する技術。従来は半導体を作る前工程で主に用いられてきたが、高い平坦性が求められる先端半導体パッケージングでも導入が進んでいる。

■ Back Grinding (BG)

ウェーハ裏面を研削して薄くする技術で、半導体の薄型化や高密度な積層構造の実現に不可欠な工程。研削時は、回路や電極が形成されたウェーハ表面にBGテープを貼り付けて表面を保護した状態でキャリアへ固定し、裏面を砥石で研削する。研削後にBGテープを剥離した際、ウェーハ表面にテープ粘着剤が残留すると接合不良の原因となるため、適切な洗浄が必要となる。

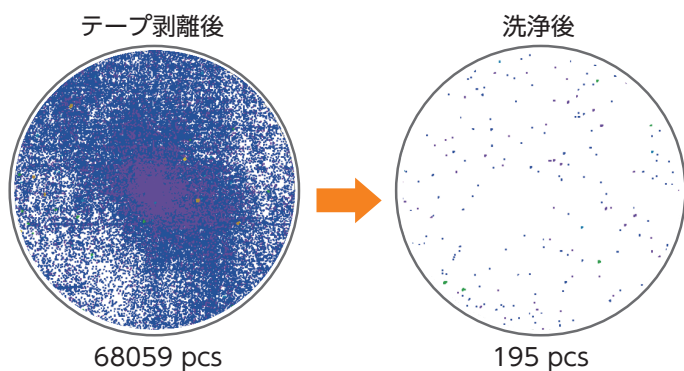
半導体用テープ洗浄液 EZ シリーズ

Back Grinding や Dicing 用半導体テープ剥離後に残留した粘着剤を効率よく除去します

Cu 等の電極材料や絶縁膜にほとんどダメージを与えません

毒劇物、危険物に非該当です

水で高倍率に希釈して使用可能です



- Wafer: 8 inch Si
- Cleaning solution: EZ-01A
- Evaluating method:
 - Tape lamination/peeling
 - Brush scrub cleaning (5min.)
 - DIW Rinse
 - Spin dry

製品名	pH
EZ-M シリーズ	酸性
EZ-A シリーズ	アルカリ性

当社HPでは、ケミカルタイムス最新号、バックナンバーを公開しております。

ケミカルタイムス URL
<https://www.kanto.co.jp/times.html>

関東化学 URL
<https://www.kanto.co.jp/>

2次元バーコードはこちらです ▶▶▶



※無断転載および複製を禁じます。

 関東化学株式会社

〒103-0022 東京都中央区日本橋室町2丁目2番1号
室町東三井ビルディング

電話(03)6214-1090 FAX(03)3241-1047

E-mail : chemiti-info@kanto.co.jp 編集責任者：菅 孝剛

2026年7月発行