

# 三次元IC積層実装に向けた次世代高密度半導体実装モジュール基盤技術の研究開発

Research and Development of Next-Generation High-Density Semiconductor Packaging Module Platform Technologies for 3DIC Packaging.

青柳 昌宏  
Masahiro Aoyagi

熊本大学半導体・デジタル研究教育機構半導体部門 卓越教授  
Research and Education Institute for Semiconductors and Informatics, Kumamoto University (Distinguished Professor)

KEYWORD ▶ 3DIC TSV バンプ

受理日:2026年5月18日

## はじめに

01

半導体集積デバイスを中核コア部品として発展してきた電子機器は、小型モジュール化、高密度集積化、低消費電力化などの性能アップのためのたゆまない技術開発により、産業機器から民生家電機器、さらにはスマートフォンに代表される個人向け携帯電子機器へと事業化が展開され、事業所単位から世帯単位、個人単位へと普及度を高めて、全世界レベルで大幅な製品個数の増加を達成してきている。2014年には、全世界で携帯電話契約台数と人口数が一致する100%普及率が既に達成されている。

これまでの半導体集積デバイス開発の歴史において、特筆すべきイノベーションは、NチャンネルMOS (Metal Oxide Semiconductor:金属酸化半導体)トランジスタおよびPチャンネルMOSTランジスタを一对にした相補型MOS (Complementary Metal Oxide Semiconductor:CMOS)トランジスタ素子構造の採用によって、他の素子構造に比べて極めて広い動作可能領域が確保できるため、素子特性の大きな製造ばらつきを許容できることにより、きわめて大規模な集積回路が実現できるようになっており、現在では、3000億個を越えるトランジスタが集積可能となっている。

一方、半導体集積回路(IC)技術については、微細加工の限界、製造・設計コストの上昇など、様々な制限要因が明らかになり、今後の集積度向上に陰りが見え始めている。その解決策の一つとしてICデバイスを縦方向に積層して実装集積する三次元IC積層実装(3DIC)技術が、半導体IC技術の集積度向上を別次元で可能とする次世代高密度半導体デバイス実装モジュール技術として、その将来性に期待が高まっている<sup>1)</sup>。

三次元IC積層実装技術によって複数のチップを三次元的に積層することで、チップの面積は増やさずに積層化によりさらなる高密度集積を実現することができる。さらに、多数の微細な接続

構造(マイクロバンプ接合、電極パッド直接接合)を用いたチップ間接続により、従来のワイヤーボンディングに比べて配線長が大幅に短縮され、信号伝送の高速大容量化や低消費電力化の達成が期待される。実際の三次元IC積層実装構造体におけるチップ間の接続は極めて多数のTSV(Through Silicon Via:Si貫通電極)およびマイクロバンプ接合を用いて行われる。図1に三次元IC積層実装技術によるチップ間接続の模式図を示す。

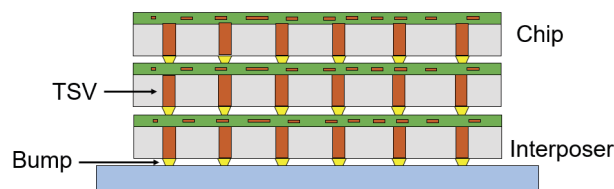


図1 三次元IC積層実装技術によるチップ間接続の模式図

熊本大学では、2023年度より熊本県と共同して提案・採択された内閣府地方大学・地域産業創生交付金事業による産学連携研究開発テーマとして、熊本大学、熊本高等専門学校、熊本地域の複数企業からなる連携開発体制を構築して、三次元IC積層実装に関する製造技術と設計技術の研究開発を進めてきている。

製造技術については、熊本大学と熊本高等専門学校が複数の中小企業(熊本地域を中心とする)と連携して、2000年頃から実施されてきた国家プロジェクトの成果を踏まえて、産業技術総合研究所(産総研)や東北大学などで地道に研究開発が進められてきた半導体LSI(Large Scale Integration:大規模集積回路)製造工程完了後にTSVを形成するピアラスト方式<sup>2)</sup>によるTSV形成・LSI積層実装の製造プロセス技術について、研究開発に取り組んでいる。その中で連携先の企業が保有する先端技術を活用

して、従来にない低コスト、高生産性に資する材料・プロセス技術の共同開発を進めている。特に、次世代に向けたTSV形成プロセス高度化の取り組みとして、5  $\mu\text{m}$ 以下の微細TSV構造について、10を超える高アスペクト比(TSVの口径と深さの比)、高い信頼性の確保に重点を置いて研究を進めている。なお、TSVのアスペクト比は、Si基板の厚さを30-50  $\mu\text{m}$ 程度に薄化する工程に直接関係しており、アスペクト比を大きくできれば、薄化の目標値を緩和でき、ウェーハ・チップのハンドリング特性の改善、デバイス特性の劣化・信頼性低下の改善を併せてもたらすと期待できる。

また、設計技術については、三次元IC積層実装への展開を念頭に、AI半導体チップの実装モジュール技術で近年注目されている超高密度配線を形成した実装基板であるインターポーザを用いた2.5D実装に代表されるチップレット実装によるベンチマークデバイスの設計を進めるとともに、三次元IC積層実装のメリットを生かした優れたシステム機能を明確化して、三次元IC積層実装設計フローの確立、基本的要素回路の蓄積など、包括的な研究開発を進めている。

最終的には、製造技術と設計技術の連携により、2.5D実装から3D実装に移行した際にシステム性能の改善がどの程度見込めるのか、具体的に試算・評価できるような設計・試作プラットフォーム拠点の構築を目指している。

## 次世代TSV形成技術の開発

## 02

次世代TSV形成技術の研究では、産学連携による研究開発の一環として、「5  $\mu\text{m}$ 径・アスペクト比10」の高アスペクト比TSVの形成を目指してTSV孔パターンのフォトリソグラフィ、TSV孔のエッチング加工、TSV側壁への絶縁層成膜およびバリア/シード層成膜、TSV内部へのCu充填めっき、TSV最上部のCMP (Chemical Mechanical Polish:化学的機械的研磨)平坦化からなる一連のTSV形成プロセスについて、TEG (Test Element Group:評価用素子群) デバイスの試作・評価を行っている。さらに、TSV形成から電気特性の実測評価までを一貫して実施可能な試作・評価フローの構築を目指している。特に、TSV側壁への絶縁層成膜とバリア/シード層成膜については、難易度が高く、ALD (Atomic Layer Deposition:原子層堆積法)、ミストCVD (Chemical Vapor Deposition:化学気相成長法)、超臨界CVD、先端めっき(無電解めっき、複合めっきなど)などの新しい技術による挑戦が必要であり、その試作・評価基盤を着実に構築して、産学連携オープンイノベーション拠点として、機能させることを狙っている。以下に現状の開発状況を紹介する<sup>3)</sup>。

### 2-1. TSV孔深堀エッチングプロセス

TSV形成における深堀エッチングでは、高アスペクト比のホールを形成する必要があり、ボッシュプロセスと呼ばれる手法が広く用いられる<sup>4)</sup>。図2にボッシュプロセスによる深堀エッチング技

術の概念図を示す。プロセスガスを周期的に秒単位の短時間で切り替えることにより、① $\text{C}_4\text{F}_8$ プラズマによる側壁への保護膜形成ステップ、② $\text{SF}_6$ プラズマによる底部保護膜の異方性エッチングステップ、さらに③ $\text{SF}_6$ プラズマによる底部Siの等方性エッチングの3ステップを順繰り(①→②→③→①→\*)に繰り返すことで、側壁垂直性の高いビアホールの形成が可能となる。



図2 ボッシュプロセスによる深堀エッチング技術の概念図

保護膜形成ステップでは、CF系のポリマーがレジストマスクを含めて全面に等方的に堆積し、その後のエッチングステップでエッチング保護膜として機能する。一方、エッチングステップでは基板に印加されたバイアスにより、加速されたイオンにより底部の保護膜だけを選択的に異方性エッチングした後、露出した底部のSiをフラジカルとの反応により等方的にエッチングする。このような3ステップのサイクルを繰り返すことで、高アスペクト比の深いビアホールを形成できる。なお、Siエッチングのモードが等方性のため、側壁に丸みが発生し、1サイクルごとに側壁の丸みが累積することでいわゆるスキヤロップと呼ばれる凹凸構造が形成される。この凹凸は、側壁絶縁層形成において、均一な連続膜を形成するのに障害となるため、できるだけ高低差を小さくする必要がある。極限までガスの切り替え時間を短縮させるとともに深堀エッチング終了後に側壁のエッチング保護膜を除去する $\text{O}_2$ プラズマアッシング工程において、 $\text{CF}_4$ や $\text{SF}_6$ ガスを加えて、側壁の凹凸表面を同時にエッチングすることで表面を平坦にすることが可能である。

### 2-2. TSV側壁絶縁層成膜プロセス

TSV形成プロセスにおいて、Si基板とTSV間の電氣的絶縁を確保するため、ビアホール側壁に絶縁層を成膜する必要がある。本研究では、絶縁膜材料として化学的安定性に優れた $\text{SiO}_2$ 膜を採用し、TEOS (Tetra Ethoxy Silane:テトラエトキシシラン)を前駆体としたCVDにより成膜を行った。液体状態のTEOSを気化させた後、 $\text{O}_2$ ガスとともにチャンバー内へ供給し、高周波電力投入によりプラズマを発生させる。これにより活性化された表面反応によって、Si基板上に $\text{SiO}_2$ 薄膜が比較的低温で形成される。

高アスペクト比のTSV孔構造においては、ビア内部での前駆体の拡散および反応種の到達が物理的に制限されるため、ビア底部付近における膜厚低下や異常結晶が生じやすい。こうした絶縁膜の被覆性低下はTSVの信頼性を損なう要因となるため、ビ

ア底部付近での十分な膜厚を確保できるようなプロセス開発が必要となる<sup>5)</sup>。

### 2-3. TSV側壁バリア・シード層成膜プロセス

電解めっきによりビア内にCuを充填するための前処理として、Cuの拡散防止および密着性向上を目的としたバリア層、電解反応の電極となるシード層の成膜が必要である。本研究では、高アスペクト比構造への連続的な成膜を実現するため、ロングスロースパッタ法による成膜技術を採用した。プラズマ生成時の成膜室内の様子を図3に示す。本手法の特徴は、ターゲットと基板間の距離を約30 cmと長く設定している点にある。ターゲットから放出された粒子のうち、基板に対して垂直に近い角度を維持した指向性の高い粒子を選択的にビア内部へ到達させることが可能となり、通常のスパッタ法と比較して底部への被覆性が向上する<sup>6,7)</sup>。また、本研究で用いた装置では、ターゲットを基板に対して少し斜めに配置し、成膜中は基板ステージを回転させる構造となっている。これにより、高アスペクト比ビア内への均一成膜が期待できる。



図3 ロングスロースパッタ成膜装置におけるプラズマ生成時の成膜室

ア/Cuシード層を形成し、断面SEM観察により絶縁膜およびバリア/シード層のカバレッジを評価した。断面SEM観察後、EDX (Energy Dispersive X-ray Spectroscopy:エネルギー分散型X線分光法)を用いた元素マッピング分析を行い、ビア内部における各元素の分布および膜の連続性を評価した。

## プロセス評価TEGデバイスの試作・評価結果

04

### 4-1. TSV孔深堀エッチングプロセスの結果

ボッシュサイクルの各ステップの時間を調整することで、ビアホールの垂直性が改善された。図4(a)、(b)に、プロセス条件変更前後の断面SEM観察像を示す。図4(a)のレシピ①(調整前)では、エッチング深さ方向の増加に伴いホール幅が狭まり、側壁角度が88.74°となった。そこで、プロセスの後半でSiエッチングのプロセス時間を延長することで側壁角度の改善を試みた。プロセス条件の調整により、図4(b)に示すように深さ方向のホール幅減少が抑制され、側壁角度は89.44°に改善し、約1°の向上を確認した。

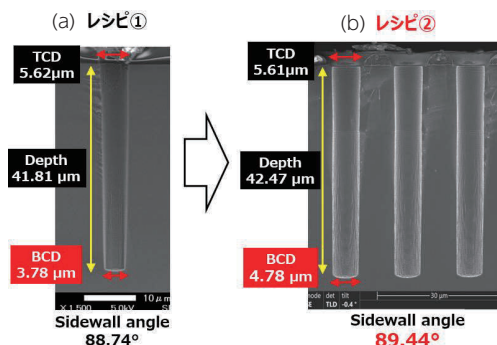


図4 ボッシュプロセスによる深堀エッチング加工後の断面SEM観察像

## プロセス評価TEGデバイスの試作・評価の進め方

03

4インチSi基板上に10 μm厚のポジ型化学増幅型レジスト膜(PMER P-CY1000)をスピンコートし、i線ステッパー(Canon FPA-3000i5+)を用いて露光・現像を行うことで、プロセス評価TEGデバイスのレジストパターンを形成した。

Siの深堀エッチングにはSamco製RIE-400iPBを使用し、ボッシュプロセスにより5 μm径、深さ50 μmのビアホールを形成した。ビアホール形成後、加速電圧を5 kVとして電界放出型走査電子顕微鏡(Field Emission-Scanning Electron Microscope:FE-SEM)による観察を行い、断面形状を評価した。

ビアホール形成後のデバイスサンプルに対し、Samco製PD-100STを使用し、プラズマCVDによりSiO<sub>2</sub>絶縁膜を形成した。また、独自設計のロングスロースパッタ装置を使用し、TiN/バリ

### 4-2. TSV側壁絶縁層成膜プロセスの結果

成膜圧力および成膜温度の調整により、TSVのビア底部側壁における膜厚および膜質が改善した。プラズマCVDプロセスにおいては、成膜圧力が反応種の平均自由行程および入射方向分布に影響を与えるため、圧力低下によって高アスペクト比ビア内部への到達性が改善されることが期待される。そこで、既存レシピの成膜圧力である80 Paを基準(レシピ①)とし、40 Paまで段階的に圧力を低下させて成膜を行った。図5(a)、(b)に、成膜圧力変更前後のビア底部付近の断面SEM観察像を示す。図5(a)のレシピ①では、ビア底部側壁においては連続的な絶縁膜の形成が確認されなかった。これは、高圧力下では原料ガスの平均自由行程が短く、ビア深部へのガスの拡散が十分に進行しなかったためと考えられる。そこで、成膜圧力を40 Paに低減したレシピ②を用いることで、ビア底部側壁の膜厚向上を試みた。図5(b)に示すように、レシピ①では成膜が困難であったビア底部側壁においても絶縁膜の形成が確認された。

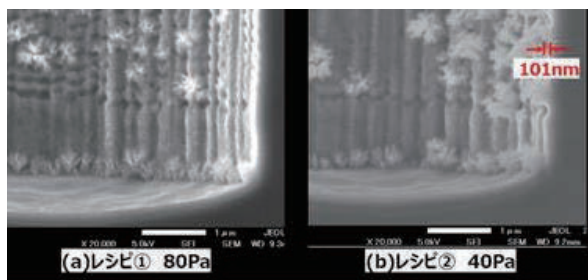


図5 異なるガス圧力でTEOSプラズマCVD成膜後のTSV底部における断面SEM観察像

一方で、レシピ②(基板温度90℃)では、形成された絶縁膜の表面にデンドライト(樹枝状結晶)状の結晶が確認された。これは、低圧化に伴うプラズマ励起種の密度低下に加え、低温条件下では表面反応における熱エネルギーが不足し、不完全なSi-O-Si結合を有するSiO<sub>2</sub>膜となったことが要因と考えられる。このような膜質の低下は、次工程のバリア/シード層成膜における被覆性悪化の原因となる。そこで、成膜圧力を40 Paに維持したまま、基板温度を170℃まで引き上げてレシピ③とした。図6(a)、(b)に、成膜温度変更前後のビア底部付近の断面SEM観察像を示す。基板温度の上昇により、図6(b)に示すように異常成長を抑制し、平滑な絶縁膜の形成に成功した。以上のプロセス条件の調整により、高アスペクト比ビア内において、膜厚および膜質の双方で良好な絶縁膜形成プロセスを確立できた。

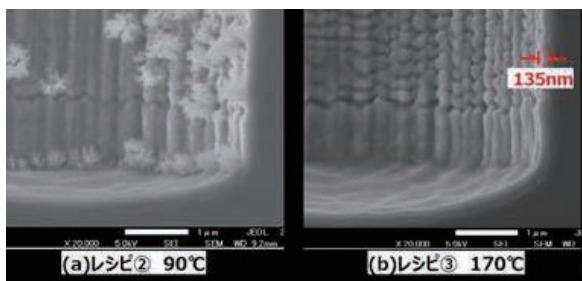


図6 異なる成膜温度でTEOSプラズマCVD成膜後のTSV底部における断面SEM観察像

#### 4-3. TSV側壁バリア・シード層成膜プロセスの結果

絶縁膜形成後のサンプルに対し、電解めっきによりビア内にCuを充填するための前処理として、Cuの拡散を防ぐTiNバリア層および電解反応の電極となるCuシード層の成膜を行った。本研究では、ターゲットと基板間の距離を約30 cmに設定したロングスロースパッタ法を用いている。成膜条件は、Ar流量14 sccm、プロセス圧力0.75 Paとし、TiN層およびCu層を連続成膜した。本条件における成膜レートは、TiNが1.75 nm/min、Cuが7.8 nm/minであり、想定される表面膜厚はそれぞれ約70 nm、312 nmである。図7に、成膜後のビア断面におけるSEM観察像およびEDXによるCu元素マッピングの結果を示す。さらに、樹脂充填後にFIB(Focused Ion Beam:集束イオンビーム)加工したTSV上部の断面SEM観察像を示す。EDX分析の結果、ビア開口部から側壁上部にかけては十分な強度のCuピークが検出されたが、ビア深部(底面付近)に向かうにつれてCuの検出強度は低下し、FIB加工後の観察により13 μmまでCu成膜が確認されたが、本成膜条件においてはアスペクト比10のビア底部まで連続的なシード層を形成するには至らなかった。

本実験結果を踏まえ、ビア深部への粒子到達率を向上させるための装置改良を検討しており、アスペクト比10を超える微細TSV構造においても、連続的なバリア/シード層を形成可能なプロセスの確立を目指していく予定である。

### 次世代TSV形成技術開発の現状

05

本研究では、産学連携による研究開発体制の下で、5 μm径でアスペクト比10のTSV形成に向けたプロセス開発を進めている。各プロセスの総合的設定条件調整により、非常に垂直性の高い高アスペクト比ビアホール形成および底部側壁まで良好な被覆性を有する絶縁層の形成条件を明らかにした。また、開発途上のロングスロースパッタ法によるPVD(Physical Vapor

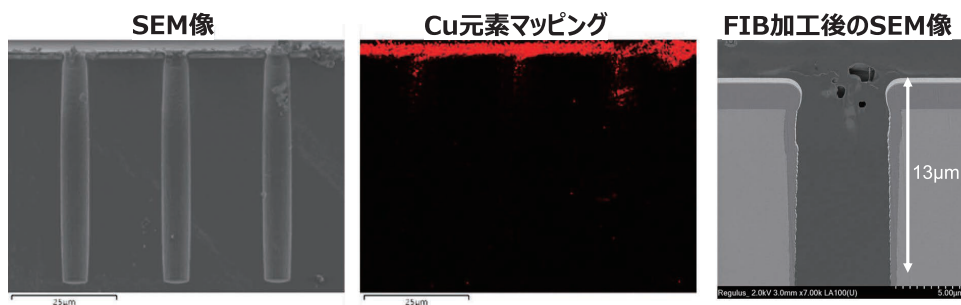


図7 Cuシード層成膜後のTSVにおける断面SEM観察像

Deposition:物理気相成長法)工程における課題を示し、プロセス開発の方向性を明確にした。今後は、Cu充填めっき、CMP平坦化を含めて、TSV形成プロセス開発を進めるとともに、TSV特性評価用TEGの試作・評価を行うことで各プロセス条件とTSVの電気特性および信頼性との関係について、総合的に評価していく予定である。

次世代TSV形成プロセスの技術開発におけるマイルストーンとして、1)TSVサイズの微細化、2)アスペクト比の増大、3)TSV周辺Si基板の内部応力低減、4)ビアCuプラグとSi基板間のキャパシタンス低減、5)ビアCuプラグの電気抵抗低減、6)TSV側壁絶縁層の耐圧・長期信頼性確保、7)熱サイクル耐性・寿命の確保、8)プロセスコストの低減などがあり、関連する電気・機械分野の諸特性も計測評価を進めていく必要がある。

なお、量産時の歩留まり向上に重要となるTSV形成プロセスの評価解析技術として、X線CT(Computed Tomography:コンピュータ断層撮影)技術を用いた三次元構造観察技術の開発を進めている。図8では、ボッシュプロセスによる深堀エッチングにより形成した5 $\mu$ m径、50 $\mu$ m深さのTSV孔の配列について、ナノフォーカスX線CT装置(BRUKER製SKYSCAN2214(Wカソード))を用いて、観察を行った結果を示す。TSV配列を形成したSiチップを3.5mm $\times$ 5mmサイズに切り出し、CT装置の回転ステージに固定して、0.7mm $\times$ 0.8mm領域を狙ってCT撮影して、得られた三次元構造のボクセルデータ(1ボクセルサイズは、0.32 $\mu$ m)に基づいて、xy断面とyz断面を選択して表示している。xy断面では、一直線にTSV孔の配列全体が観察され、yz

断面では、斜めに配置されたTSV孔の一部が観察されている。TSVへのCuプラグ充填プロセスにおけるボイド発生、充填不足などをTSV配列の広い範囲で観察評価できる技術となることを期待している。

今後の三次元IC積層実装の研究開発における産学官連携について 06

半導体デバイスの製造工程において、新たな材料・プロセスの開発が必要となる場面では、密に協力してくれる企業を見つけるためには、その材料・プロセスの位置づけが、最終デバイスユーザーの意向に基づき、業界で大量に使われることが望ましい。それに該当しない材料は、なかなか協力企業を見つけるのが難しいのが現状である。

そこで、大学、研究機関などアカデミアの研究機関が中心となって、研究開発コンソーシアムを組織して、その研究機関がテストデバイス・モジュールを設計、試作、評価して、デバイス・モジュールの製造フローに必要な様々な材料・プロセス装置を開発・製造・供給している企業にコンソーシアムメンバーになってもらい、新材料・プロセス技術の開発・提供を受けることで、デバイス製造フロー全体の改良・改善を効率的に進めることが可能となる。

以前にCASMATと呼ばれるCMOS半導体前工程用の低誘電率絶縁層開発のために組織された研究組合があり、競合する複

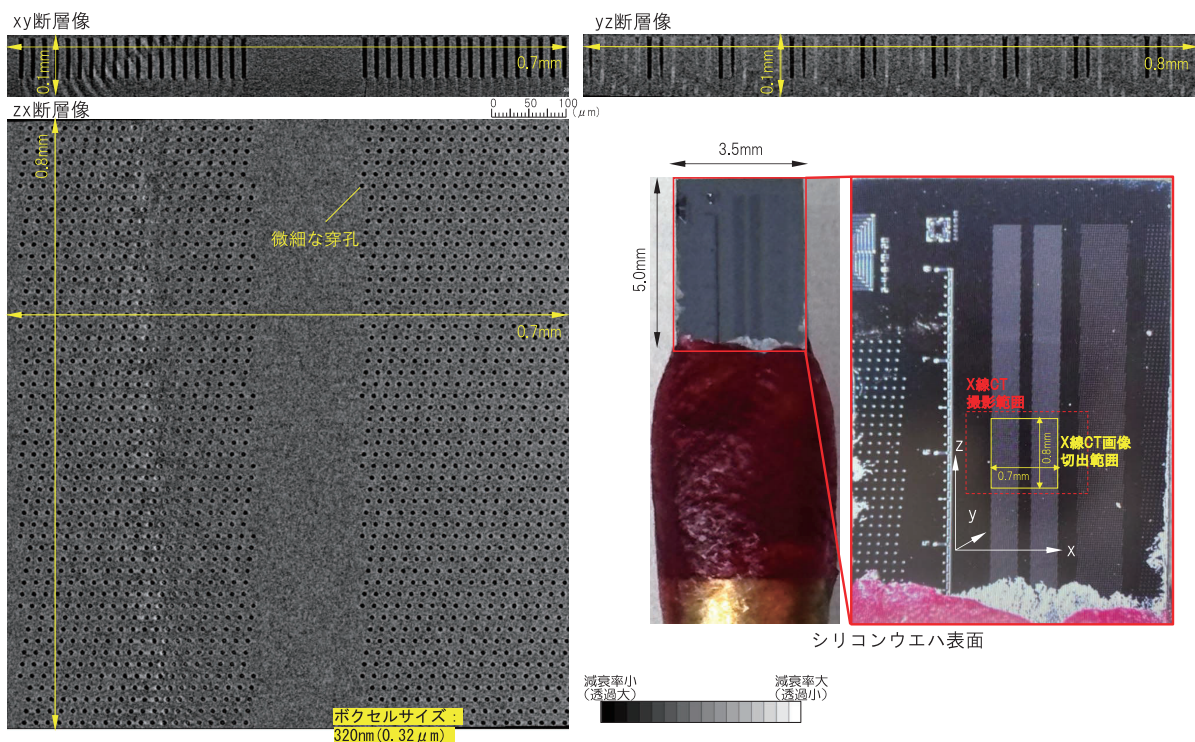


図8 ナノフォーカスX線CTによるTSV孔配列のCT撮影画像

数の材料メーカーが300 mmウェーハによる研究開発用試作評価プラットフォームを共同で運用して、Cuダマシ配線プロセスへの適合性、電気特性、信頼性などの評価などが実施され、日本の材料メーカーの研究開発が促進された事例がある。筆者は、当時、国研である産総研の研究者の立場で、高周波誘電率の測定評価のため、共同研究パートナーとして、参加させていただいた。

オープンイノベーション研究開発拠点のメリットを生かすことにより、事業競争領域に至る前段階での産学官による緊密な連携の下での効率的な研究開発体制の構築が期待される。

## 謝辞

三次元IC積層実装技術に関する研究開発は、熊本高等専門学校 角田功准教授、熊本大学の大川猛教授と連携して進めてきており、大学と高専の多くの学生が研究開発に参加することで、専門人材育成プログラムとしても一定の成果を上げてきている。また、研究開発の実施においては、九州工業大学マイクロ化総合技術センターより線ステッパーの使用に関して、ご支援をいただきました。また、熊本高等専門学校に設置されているエッチング装置およびCVD装置の使用に関して、Samco社より技術的なご支援をいただきました。X線CTによる撮影では、熊本大学の技術部による技術サポートをいただきました。心より感謝申し上げます。

## 参考文献

1. 青柳 昌宏, 居村 史人, 加藤 史樹, 菊地 克弥, 渡辺 直也, 鈴木 基史, 仲川 博, 岡田 義邦, 横島 時彦, 山地 泰弘, 根本 俊介, TUNG Bui Thanh, SAMSON Melamed. 3次元IC 積層実装技術の実用化への取り組み:基盤技術から実用技術へどのようにしてステップアップするのか. *Synthesiology*, 2016, 9(1), 1-14.
2. 渡辺 直也, 菊地 秀和, 柳澤 あづさ, 島本 晴夫, 菊地 克弥, 青柳 昌宏, 中村 彰男. 第30回エレクトロニクス実装学術講演大会講演論文集 (東京, 2016-3-22/24, エレクトロニクス実装学会) 23C3-2.
3. 園田 康太郎, 岡崎 天河, 元島 康太, 光永 尚人, 淵脇 悠史, 山田 晴己, 中久保 匡亮, 角田 功, 大川 猛, 青柳 昌宏. 第40回エレクトロニクス実装学会春季講演大会論文集 (東京, 2026-3-10/12, エレクトロニクス実装学会) 114-117.
4. 野沢 善幸. Bosch 型エッチャーによるシリコン深掘り技術, *Journal of the Vacuum Society of Japan*, 2010, 53(7), 446-453.
5. 望月 昭彦. 高アスペクト比貫通電極(TSV)に向けた絶縁膜成膜技術の進展, *電子情報通信学会技術研究報告*, 2015, 115(342), 45-50.
6. 高桑一雄, 低圧ロングスロースパッタリングを用いた新Cu成膜プロセス, *表面技術*, 1998, 49(11), 53-53.
7. Jiayi Shen, Atsushi Sinoda, Chang Liu, Tadaaki Hoshi, Murugesan Mariappan, Hisashi Kino, Mitsumasa Koyanagi, Takafumi Fukushima. Impact of Super-long-throw PVD on TSV Metallization and Die-to-Wafer 3D Integration Based on Via-last, 2023 IEEE International 3D Systems Integration Conference (3DIC), 2023, 1-4.