

# ハイブリッド接合技術と CMOSイメージセンサ

Hybrid Bonding Technology and CMOS Image Sensor

藤井 宣年  
Nobutoshi Fujii

ソニーセミコンダクタソリューションズ株式会社研究開発センター第2研究部門2部  
Sony Semiconductor Solutions Corporation, Research and Development Center, Research Division 2, Department 2

KEYWORD ▶ 積層半導体 ハイブリッド接合 イメージセンサ

受理日:2026年4月13日

はじめに

01

電子の眼と称される Complementary Metal Oxide Semiconductor (CMOS) イメージセンサ (CIS) は、スマートフォンをはじめとするコンシューマ・エレクトロニクスに搭載されるばかりで無く、工業や医療、さらには交通関係に至るまで広く社会を支える重要なデバイスとして現代社会に不可欠なものとなってきた。

初期のCISはシリコン基板上にPhotodiode層(PD)と変換回路およびロジック回路を作製し、配線工程(Back End of the Line:BEOL)を行った上にColor Filter (CF) やOn-Chip Lens (OCL) を作り込み、PDへ入射光を取り込んでいた。解像度向上にはPDの画素サイズ縮小による画素数増加が必要だが、PD上の配線間も縮小するため光感度とのトレードオフとなっていた。

そこで、CISを反転して別の基板に貼りつけ、配線層が存在しないPDの裏面側から光を入射させることが考案された。これを

裏面照射型CIS (Back-side Illuminated CIS:BI-CIS) と呼ぶ。図1(a)が支持基板へ貼りつけた時のBI-CISの概略図である。この構造はOCLに入った光を全てPDで受光できるため、光感度の大幅な向上が実現された。Iwabuchiらは、この時の光感度は従来の表面照射型CISの2倍に向上したと報告した<sup>1)</sup>。また、この構造を用いれば配線に影響されないPDの微細化が可能となり、解像度の向上も可能となった。

近年のCISの進化は、このCISを反転して支持基板へ貼りつける半導体基板の積層技術の適用から始まった。特に図1(b)と(c)のように、支持基板側にロジック回路などを搭載しCISと電気的に接続する積層技術の進化が、様々な機能を持つCISの発展をけん引している。この積層技術はイメージセンサのみならず、先端の半導体デバイスに適用が急拡大してきた。本稿では、半導体デバイスにおける積層技術の概要、とりわけ最新の3次元パッケージングでも注目されている、Cu電極と絶縁膜を同時に貼り合わせるCu-Cuハイブリッド接合技術について紹介する。

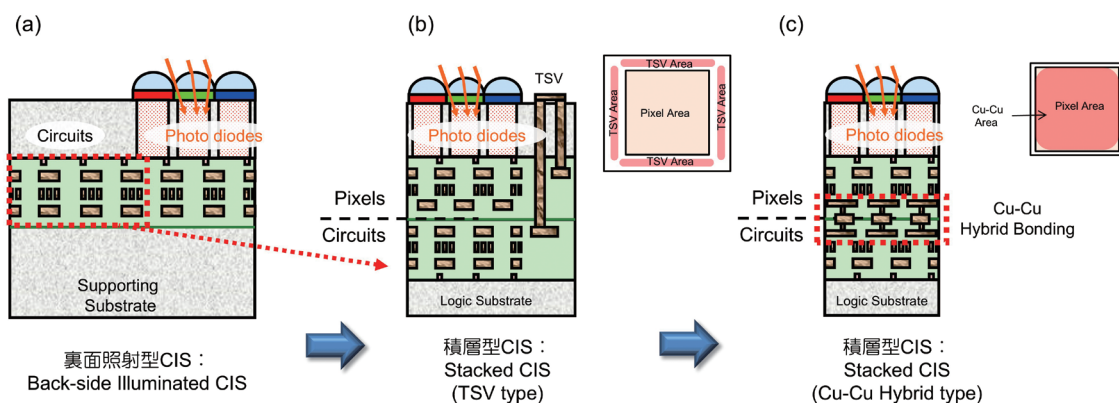


図1 CMOSイメージセンサの進化と積層技術

## 半導体基板の積層技術

02

半導体基板同士の接合技術には、大きく分けて基板を直接接合する技術(Direct Bonding)と、接着剤に代表される中間層を使用する接合技術(Intermediate Layer Bonding)がある。図2に半導体デバイスで使用される主な接合技術を示す。中間層接合のうち、特に接着剤接合は接合面に凹凸が存在していても、接着剤の流動性で凹凸を吸収できるため接合が容易になる。その反面、その流動性に起因する基板間の合わせ精度悪化や、硬化時の収縮による基板の反りの増大など不利な点も多い。一方、直接接合は基板間の合わせ精度は悪化しないが、接合面に高い平坦性が要求される。表面粗さとして2乗平均粗さ(RqまたはRms)で0.5 nm以下が必要とされている<sup>2)</sup>。したがって、接合面を化学的機械的研磨(Cheical Mechanical Polish:CMP)で研磨して平坦にするプロセスが必要となる。直接接合はCMPによる高度な平坦化があって初めて可能となる方法である。図1で示した積層は全て直接接合が用いられている。

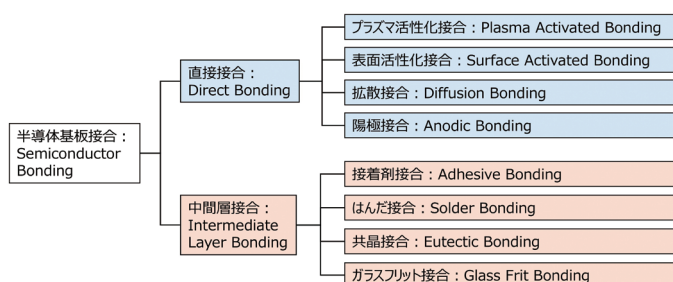


図2 半導体基板の接合方法

初期の積層型CISは図1(b)のように、接合後に上下基板をThrough Silicon Via (TSV) で電気的に接続する方法が用いられた。接合した半導体基板の一方をBack Grinding (BG)などで薄くした後、Si上にTSVを作製して下基板の電極と接続する。ここで上下基板間の高精度な位置合わせが必要なため、直

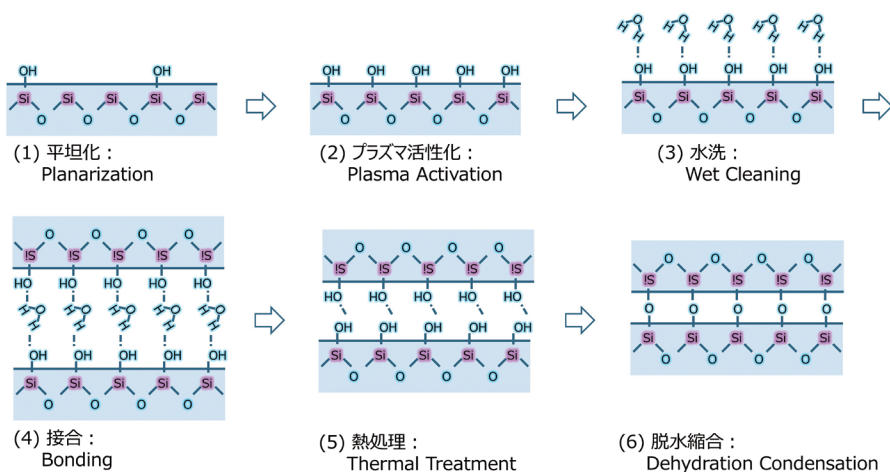


図3 プラズマ活性化接合の概要

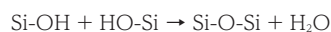
接合技術のプラズマ活性化接合が採用された。

CISはTSVを用いた積層型の機能拡大によって著しく発展した<sup>3)</sup>。しかし更なるCISの機能拡大には限界があった。TSVには作製するための面積や接続本数、それに伴う配線レイアウトの制約が存在する。これらの課題解決のため、積層型CISは画素の下でも電気的接属が可能となる、図1(c)のようなCu-Cuハイブリッド接合の需要が大きくなった。ハイブリッド接合とは、プラズマ活性化接合とCu電極の拡散接合(Diffusion Bonding)を組み合わせた接合方法である。まず、TSVを使った積層型CISで使用され、ハイブリッド接合でも使用されるプラズマ活性化接合の接合原理から紹介する。

## プラズマ活性化による直接接合

03

プラズマ活性化接合とは、言葉の通りプラズマで接合面を活性化して接合する方法である。初期のSi基板の直接接合技術は、高い接合強度を得るため、接合後に800 °C以上の熱処理を必要としていた<sup>4)</sup>。その後、プラズマ活性化による接合面の改質が開発され<sup>5)</sup>、400 °C以下の熱処理でも十分な接合強度が得られるようになった。この400 °Cという温度は、Cuを用いたBEOLで許容される上限温度である。これによりBEOL後の半導体基板を高い接合強度で直接接合することが可能となった。この時の接合メカニズムは、式1で表される接合面で発生する脱水縮合である。



(式1)

プラズマ活性化が熱処理温度の低温化を可能とするのは、このSi-OHを接合面に増加させるためと言われている。接合強度は200 °C付近から上昇する<sup>6)</sup>。図3にSiO<sub>2</sub>を接合面とした時の接合面状態を、極めて簡略化した模式図で示す。照射するプラズマは窒素、酸素あるいはArプラズマが一般的である。接合面となる

絶縁膜表面へプラズマを照射し、表面ダスト除去のために水洗を行う。その際、接合面へH<sub>2</sub>Oが付着する。上下基板を貼り合わせると表面のH<sub>2</sub>Oを挟んで接合面間に水素結合が発生し、基板同士がH<sub>2</sub>Oで接着された状態となる。H<sub>2</sub>Oは熱処理中に蒸気となって絶縁膜中へ拡散し、最終的に接合面のSi-OH同士で脱水縮合を起こす。脱水縮合で発生したH<sub>2</sub>Oも絶縁膜中へ拡散するため、接合面に気泡(ボイド)は発生しない。H<sub>2</sub>Oの透過性が悪い膜同士の接合ではH<sub>2</sub>Oが界面にボイドを形成するため、絶縁膜の選択は重要である。

プラズマ活性化接合の一般的な貼り合わせの手順を図4に示す。表面を活性化した基板を狭い間隔で対抗させ、上下基板の

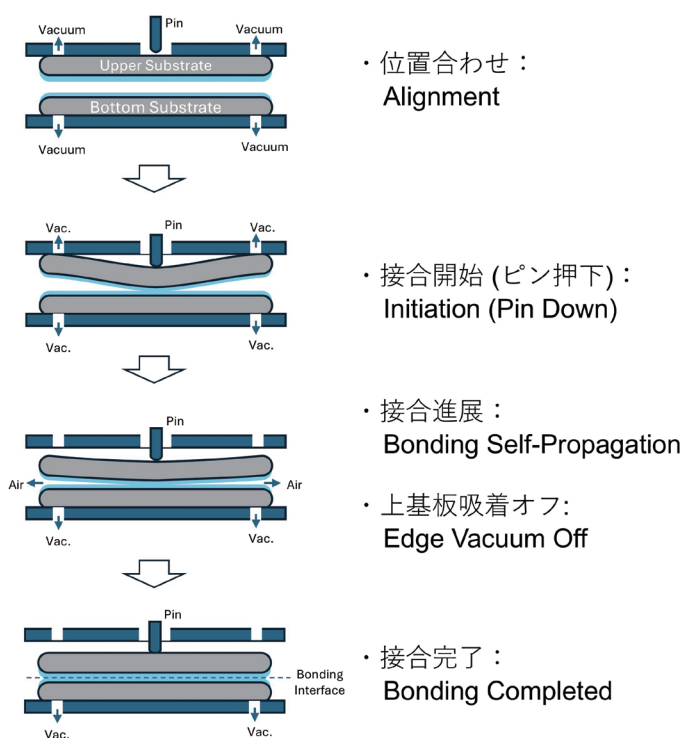


図4 直接接合の大気中接合シーケンス

位置合わせ後に中心を押下して接触させる。接触した基板の中心部から接合が開始され、外周部に向かって基板間の空気を押し出しながら、基板端まで貼られて接合が完了する。接合面に凹凸が存在する場合、貼り合わせの進行が不均一になり、面内に空気が取り残されてボイドとなるため、平坦性は接合可否に直結する。

## Cu-Cuハイブリッド接合

04

Cu-Cuハイブリッド接合は、Cu電極周辺の絶縁膜同士と、上下基板を電氣的に接続する電極となるCu電極とを同時に接合する技術である。そのコンセプトが登場してから長い間、Cu-Cu間の接続はCuの表面酸化膜(CuOまたはCu<sub>2</sub>O)を還元処理してから接合することが必要と考えられていた。ハイブリッド接合の接合面はCMPによってCu/絶縁膜が同時に研磨されるが、研磨後の表面洗浄や搬送中の大気暴露によりCu表面に自然酸化膜が形成される。近年になって表面のCu酸化膜は接合熱処理を行う場合、電極間の導通に影響がないという研究が進んだ<sup>7)</sup>。すなわち、大気中で実施するプラズマ活性化接合と同じ図4の接合シーケンスが適用可能であり、サブミクロンまで合わせ精度が向上していたプラズマ接合の高精度接合が適用できた。接合基板を熱処理すると、絶縁膜部分は脱水縮合によるSi-O-Si結合で接合され、Cu電極同士は熱膨張と熱拡散によって接合界面が混合する。このCu電極の挙動がハイブリッド接合における重要な部分である。

ハイブリッド接合のプロセスフローを図5に示す。CuはBEOLと同様にダマシン法と呼ばれる埋め込みめっき成膜で形成する。Cu CMPで電極部以外のCuを研磨・除去した後、Cuの拡散防止膜であるBarrier Metal (BM) を研磨する。BM CMPは絶縁膜

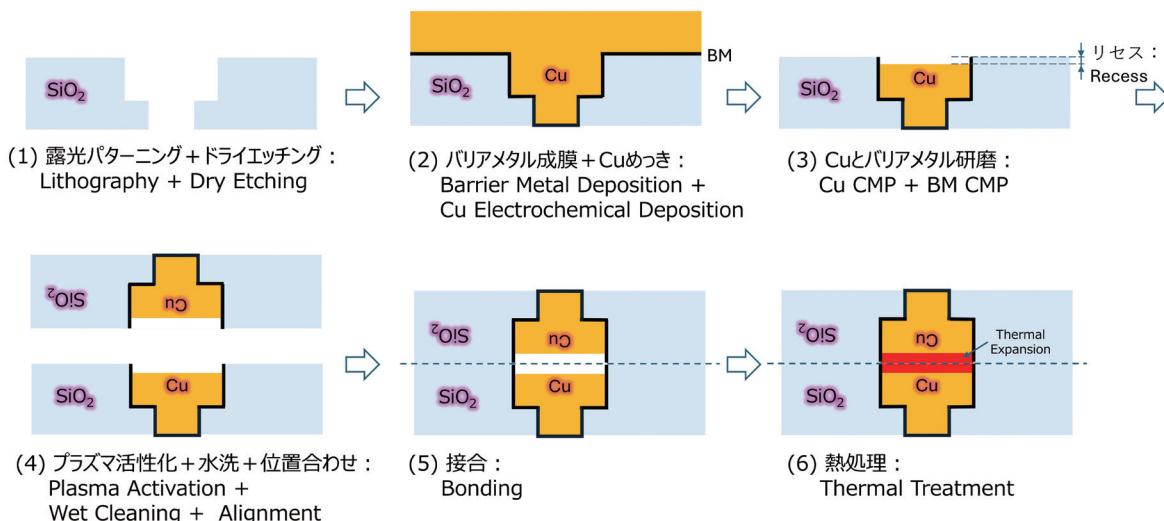


図5 Cu-Cuハイブリッド接合におけるCu電極の接続

とCuも同時に研磨して平坦面とするが、一般的なBM CMPではCu電極が絶縁膜より数nm低くなる。この凹みはCuリセスと呼ばれている。Cu電極はそのリセスのため接合相手の電極と接触できない。接合後の熱処理中に熱膨張によって接続相手のCu電極と接触し、参考文献7に記載されている熱拡散を経て電気的接続が実現する。この時同時に絶縁膜の脱水縮合も進行してハイブリッド接合が完成する。

私たちは、この技術を用いた300 mm Si基板のCu-Cuハイブリッド接合技術を2016年に報告<sup>8)</sup>し、同時に量産を開始した。この時のCu電極サイズは図6の走査電子顕微鏡(SEM)の断面写真のとおり、3.0  $\mu\text{m}$ 角、Cu電極のピッチは6.0  $\mu\text{m}$ となっている。このSEM写真でCu電極部のCuは、結晶粒が成長して接続先電極のCuと混合していることが観察できる。Cu-Cuハイブリッド接合技術はこれ以降急速に開発が加速され、適用デバイスも最先端のメモリ、ロジックやAIデバイスなどへ拡大している。

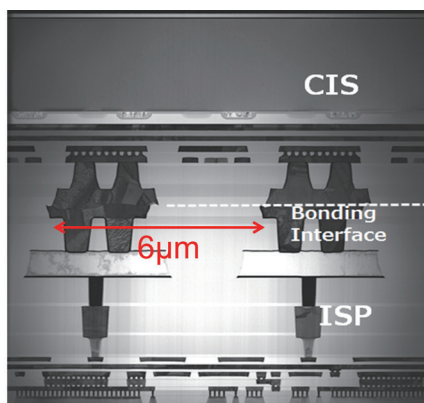


図6 Cu-Cuハイブリッド接合の接合面SEM写真<sup>8)</sup>

### 5-1. 微細化Cu-Cuハイブリッド接合

ハイブリッド接合におけるCu電極のピッチは継続して縮小が要求されている。ピッチの縮小はすなわちCu電極の縮小であり、Cuの体積が減少することによるCu膨張量の低下が大きな課題の一つである。図7にシミュレーションによるCuの電極サイズと熱膨張高さの計算結果を示す。Cu電極の縮小に伴って熱膨張高さは低くなり、Cuリセスの許容量も小さくなる。

CMPによるCuリセスの低減は対策の一つであるが、許容されるリセス量は約1-2 nmとなる。量産においては、300 mm基板の面内でバラつき含め1-2 nm以下のリセスに抑える必要があり、低リセスかつ均一な安定したCMPがプロセス開発や部材に要求される。

また、別のアプローチとしてCuの熱膨張量そのものを高くする方法がある。従来のCuめっき成膜によるCuよりも熱膨張量が高くなるようなCuめっき技術の開発が進んでいる。これらは主にCu内の結晶粒(Grain)を制御し、その大きさを微細化する、あるいは配向性を持たせるなどによりCu電極の膨張量を増加させる試みとなっている。微細化Cu-Cuハイブリッド接合におけるCu膨張量の課題は、主にこれら2つの技術開発が不可欠となる。

もう一つの大きな課題は、微細Cu電極の高精度アライメントである。合わせずれるには、中心がずれるXY offset、基板が回転するRotation、図4のプロセスで上基板が接合中に延伸して発生するRun-Outが主な成分となる<sup>9)</sup>。微細Cu電極では、これに加えて歪みの影響が出てくる。歪みとはCu電極位置の変動を伴う配線パターンの変形である。接合が進展する際、基板面内の結晶方位の違いから弾性率も面内で違い、基板の変形方向に影響するためである。これは大きくても100 nm程度であるが、100-200 nm程度の微細なCu電極には大きな影響がある。Hirano

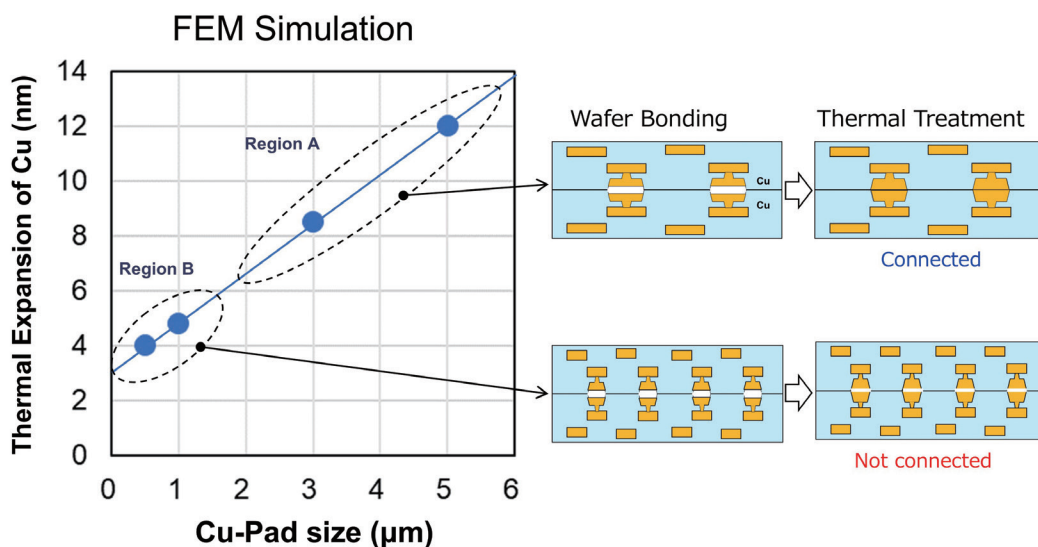


図7 Cu電極のサイズと熱膨張量の計算結果

らはシミュレーションによって、歪みがCu電極のレイアウトや接合面に占める面積比にも影響されることを報告している<sup>10)</sup>。

これらをCMPや接合プロセス、接合面のレイアウト設計、接合装置で高度に制御することで、図8のようなCu電極が200 nm角、電極間ピッチが400 nmの接合が可能となった<sup>11)</sup>。高精度なハイブリッド接合に必要な課題と対策が明確になり、現在ではCu電極ピッチの更なる縮小が加速している。

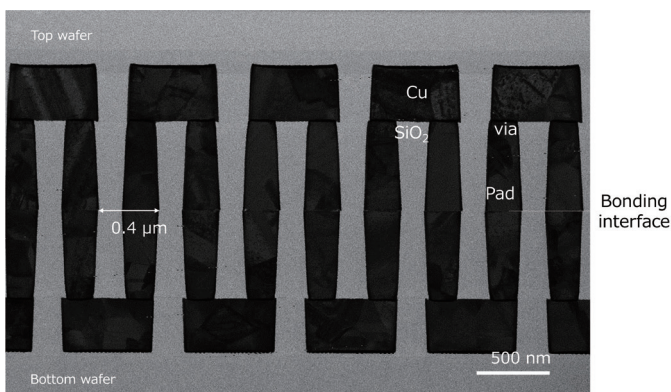


図8 微細Cu電極を用いたCu-Cuハイブリッド接合<sup>11)</sup>

### 5-2. 3層積層Cu-Cuハイブリッド接合

接合した上基板側にTSVとCu配線、さらにCu電極を作り込むことによって、3層目の半導体デバイスをCu-Cuハイブリッド接合で積層することができる。この3層積層に伴う課題の一つが、2層目の基板外周の大きなスロープである。上基板を薄くする際に発生する外周端のスロープに加え、TSVとCu配線工程、さらにCu電極CMPなどのプロセスを経るとスロープが大きくなる。スロープが大き過ぎる場合は3層目の外周が貼れず、未接合の部分が剥離して3層積層は実現できない。そのため、接合後の基板を薄くする工程や、外周に対して影響のある工程でスロープを抑制するプロセスの最適化が必要である。

3層積層でもう一つ課題となるのが、合わせずれ成分のうちのRun-Outである。3層目のCu-Cuハイブリッド接合におけるRun-

Outは、2層目の接合時に発生するRun-Outに大きく依存することが判っている<sup>12)</sup>。すなわち、2層目のRun-Out成分が大きい場合、3層目の合わせずれも大きくなる。3層目を高い合わせ精度で接合するため、2層目の接合時に上下基板の反り量を調整してRun-Outを制御することが必要となる。

これらを改善したプロセスを用いて3層積層のCu-Cuハイブリッド接合は実現される。図9に3層の断面SEM写真を示す。さらなる多層積層においても課題は共通部分が多い。4層目以上の積層も、積層による反りの課題に対処すれば十分可能なため、更なる半導体積層によるデバイスの進化は実現可能と考えられる。

## おわりに

06

半導体デバイスを高度に積層する技術として、Cu-Cuハイブリッド接合技術を紹介した。この接合技術はコンセプトが提案されてから長い間、特に大口径基板を用いた量産は、技術的困難さから実現されなかった。数多くの基礎研究と、装置技術やプロセス技術の進化、そして何より半導体デバイスを高精度・高密度に積層するという強い需要により、遂に量産されるに至った。近年では、最先端ロジックやメモリ、AIといった分野への3次元パッケージング技術適用に伴い、Cu電極ピッチの縮小が加速してきている。今やCu-Cuハイブリッド接合技術は半導体デバイスの進化に不可欠であり、広く社会を発展させるための重要な技術となった。

## 謝辞

本稿の成果の一部は、NEDO(国立研究開発法人新エネルギー・産業技術総合開発機構)の助成事業「ポスト5G情報通信システム基盤強化研究開発事業」(JPNP20017)の結果得られたものです。

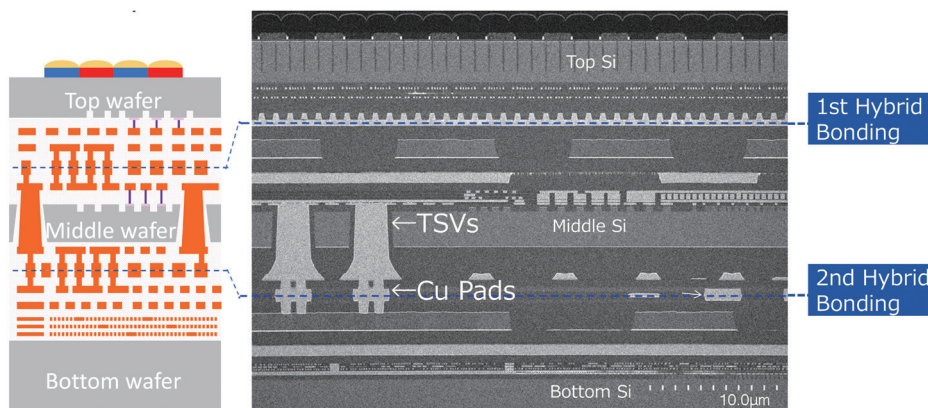


図9 3層積層Cu-Cuハイブリッド接合の断面SEM写真<sup>12)</sup>

## 参考文献

1. S. Iwabuchi, Y. Maruyama, Y. Ohgishi, M. Muramatsu, N. Karasawa, and T. Hirayama. A back-illuminated high-sensitivity small-pixel color CMOS image sensor with flexible layout of metal wiring. *ISSCC Dig. Tech. Papers*, 2006, 302-303.
2. H. Takagi, R. Maeda, T. R. Chung, N. Hosoda, and T. Suga. Effect of Surface Roughness on Room-Temperature Wafer Bonding by Ar Beam Surface Activation. *Jpn. J. Appl. Phys.*, 1998, 37, 4197-4203.
3. S. Sukegawa, T. Umebayashi, T. Nakajima, H. Kawanobe, K. Koseki, I. Hirota, T. Haruta, M. Kasai, K. Fukumoto, T. Wakano, K. Inoue, H. Takahashi, T. Nagano, Y. Nitta, T. Hirayama, and N. Fukushima. A 1/4-inch 8Mpixel Back-Illuminated Stacked CMOS Image Sensor. *Dig. Tech. Papers, Int. Solid-State Circuits Conf.* 2013, 484-485.
4. G. L. Sun, J. Zhan, Q-Y. Tong, S. J. Xie, Y. M. Cai, and S. J. Lu. Cool plasma activated surface in silicon direct bonding technology. *J. de Physique*, 1998, 49(C4), 79.
5. S. N. Farrens, J. R. Dekker, J. K. Smith, and B. E. Roberds. Chemical Free Room Temperature Wafer To Wafer Direct Bonding. *J. Electrochem. Soc.*, 1995, 142, 11, 3949-3955.
6. Q-Y. Tong, E. Schmidt, U. Gosele, and M. Reiche. Hydrophobic silicon wafer bonding. *Appl. Phys. Lett.*, 1994, 64, 625-627.
7. L. Di Cioccio, P. Gueguen, R. Taibi, D. Landru, G. Gaudin, C. Chappaz, F. Rieutord, F. de Crecy, I. Radu, L. L. Chapelon, and L. Clavelier. An Overview of Patterned Metal/Dielectric Surface Bonding: Mechanism, Alignment and Characterization. *J. of The Electrochem. Soc.*, 2011, 158, 81-86.
8. Y. Kagawa, N. Fujii, K. Aoyagi, Y. Kobayashi, S. Nishi, N. Todaka, S. Takeshita, J. Taura, H. Takahashi, Y. Nishimura, K. Tatani, M. Kawamura, H. Nakayama, T. Nagano, K. Ohno, H. Iwamoto, S. Kadomura, and T. Hirayama. Novel stacked CMOS image sensor with advanced Cu<sub>2</sub>Cu hybrid bonding. *IEDM Dig. Tech. Papers.*, 2016, 8.4.1-8.4.4.
9. G. Gaudin, G. Riou, D. Landru, C. Tempesta, I. Radu, M. Sadaka, K. Winstel, E. Kinser, and R. Hannon. Low temperature direct wafer to wafer bonding for 3D integration: Direct bonding, surface preparation, wafer-to-wafer alignment. *IEEE 3D System Integration Conf.*, 2010, 1-4.
10. T. Hirano, T. Yamada, S. Kobayashi, Y. Hagimoto, and H. Iwamoto. Simulation of device structure impacts on bonding wave and strain in Wafer-to-Wafer Cu-Cu Hybrid Bonding. *Elec. Components and Tech. Conf. Proc.*, 2023, 1314-1318.
11. Y. Ikegami, T. Onodera, M. Chiyozone, A. Sakamoto, K. Shimizu, Y. Kagawa, and H. Iwamoto. Study of Ultra-Fine 0.4  $\mu\text{m}$  Pitch Wafer-to-Wafer Hybrid Bonding and Impact of Bonding Misalignment. *Proc. Electronic Components and Tech. Conf.*, 2024, 299-304.
12. K. Shimizu, T. Kamibayashi, K. Saito, N. Araki, R. Nakamura, W. Otsuka, Y. Kagawa, and H. Iwamoto. Development of A Novel WoWoW Process for 1/1.3-inch 50 Megapixel Three-wafer-stacked CMOS Image Sensor with DNN Circuits. *Proc. Electronic Components and Tech. Conf.*, 2025, 559-564.