

無電解めっきによる Au マイクロバンプ形成技術

Fabrication technology of Au micro-bump by electroless plating.

関東化学株式会社 技術・開発本部 中央研究所 第四研究室 徳久 智明

Tomoaki Tokuhisa

Central Research Laboratory, Technology & Development Division, Kanto Chemical Co., Inc.

1. はじめに

近年、小型かつ高性能な電子機器が普及しており、最近のスマートフォンを例に挙げると、“携帯電話”という領域を超え、様々なアプリケーションを併せ持った“モバイル端末”として、幅広く利用されている。このような性能を実現するには、機器内部における半導体パッケージング技術が重要となり、ICチップと搭載基板との接続技術向上が大きな課題となる。

ICチップの接続技術は、ワイヤボンディング(以下WB)とフリップチップ(以下FC)の2つが一般的である。WB(図1-a)は、Al、Au、Cuなどの金属ワイヤでチップと基板間を接続する。一方、FC(図1-b)は、はんだやAuで形成したバンプという突起状の端子により、チップと基板間を接続する。FCの方が配線長を短縮でき、高速伝送性の向上や高密度化などに有効である。現在のパッケージング技術は、これら2つを利用し、複数のチップを1つの基板上にまとめたシステムインパッケージ(SiP)が主である¹⁾。

ここ数年さらなる高性能化に向けてパッケージング技術はめまぐるしく変遷しており、Siインターポーザを用いた2.5Dパッケージ、チップを積層する3Dパッケージングといった新たな形態が、各デバイスメーカーの用途に応じて模索されている(図2)。2013~2014年にTSV(Through Silicon Via:シリコン貫通電極)を利用した3D LSIが量産化される見通しで、当面2.5D/3Dパッケージングが主流になることが予想される²⁾。

したがって、これらパッケージングを実用化するにあたり、微細化・高密度化に対応可能かつ高い信頼性を持

つ“TSV埋め込み法”や“マイクロバンプ形成法”といった微細加工技術の開発がポイントとなる。本報では、(独)産業技術総合研究所(以下産総研)と共同開発

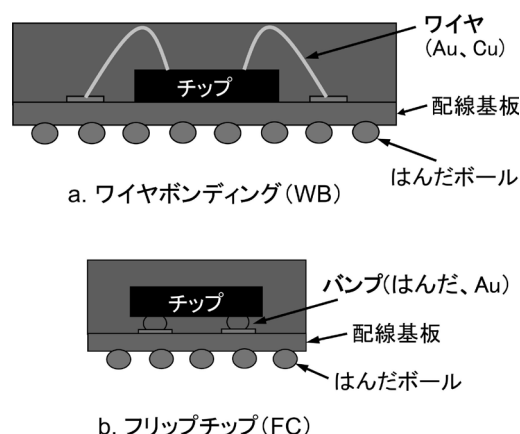
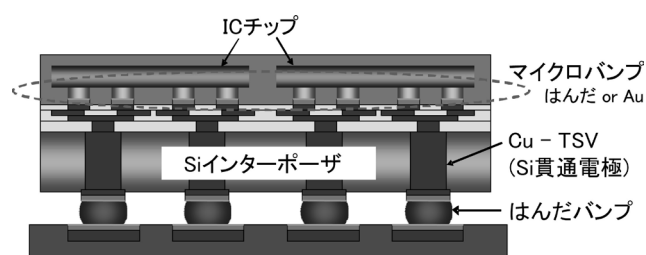


図1 ワイヤボンディングとフリップチップボンディング



- ・パッケージの小型化
- ・チップの高密度実装
- ・高速伝送性
- ・消費電力の低減 など

図2 2.5D/3Dパッケージングの例

した「無電解めっきによる $\phi 20\mu\text{m}$ 以下のAuマイクロバンプ形成技術」を中心に紹介する。

2. 現行のマイクロバンプ形成技術における課題

現在のマイクロバンプ材料には、鉛フリーはんだまたはAuが主に利用されている^{3)~6)}。鉛フリーはんだは、微細化・狭ピッチ化が進むにつれて、溶融時の濡れ広がりやウイスカの影響による接続不良が問題になると推測される^{7)~10)}。そのため、接続信頼性の観点から、鉛フリーはんだはマイクロバンプ材料としては適当ではない。

一方、Auは耐食性に優れ、高い接続信頼性が期待できる。ただし、微細化に対応した形成法に課題がある。現行のAuマイクロバンプ形成法は、スタッド法と電解めっきの2つが利用されている。スタッド法は、WBを応用したもので圧着したワイヤを適当な長さで切断し、バンプを形成する。ただし、バンプサイズがワイヤ径に依存するため、ある一定の大きさから微細化することは難しい。また、電解めっきは、析出速度が速く、液ライフが長いなど生産性に優れているものの、バンプ高さの面内均一性が電流密度分布に依存する¹¹⁾ため、バンプ径が ϕ 数 μm オーダーになると実用例はない。以上から、現行技術ではバンプ径 ϕ 数 μm オーダーのマイクロバンプ形成に対応できないといえる。

3. 無電解めっきによるAuマイクロバンプ形成技術の検討

電解めっきとは別にもう1つ一般的なめっき法として、無電解めっきがある。無電解めっきは、置換型と還元型に大別され、本報では還元型無電解めっきのみを取り扱う。

無電解めっきは、析出速度が $1\mu\text{m/hr}$ 程度と遅く、電解めっきに比べ生産性に劣ることからAuマイクロバンプ形成に利用された報告はほとんどない。仮に析出速度を上げるために、Au塩や還元剤の増量を行なうと浴寿命を低下させる原因となる。また、浴安定性の高いシアントタイプのめっき浴は、レジストや基材にダメージを与えることや毒物であるシアン化合物を含むため、Auマイクロバンプ向けの新規プロセス開発にはノーシアンタイプが必須と考える。

しかしながら、無電解めっき故のメリットもいくつかある。たとえば、リード線が不要であるため独立回路にめっきできる、電流密度分布を考慮する必要がなく、バンプ高さの均一性を攪拌等で容易に制御できるなどがある。表1に電解めっきとの比較をまとめた。これらのことから、バンプ径が ϕ 数 μm オーダーのマイクロバンプ形成に関しては、電解めっきに比べて無電解めっきが有効な手法であると考ええる。そこで、無電解めっきによるマイクロバンプ形成技術の確立を目標に検討を行った。

2008年から産総研と共同で、Auマイクロバンプを利用したFC接続の実用化検討を開始した^{12)~16)}。目標とするバンプサイズは、図3に示すようにバンプ径 $\phi 5\sim 20\mu\text{m}$ 、バンプ高さ $10\mu\text{m}$ 、ピッチ $30\mu\text{m}$ 以下と、当時まだ実現されていない極めて微細なレベルであった。当社は、これまでにプリント基板用ノーシアン無電解めっき浴“OTKシリーズ”を製品化していたので、これをベースにマイクロバンプ形成用無電解Auめっき浴の開発を担当した。

表1 マイクロバンプ形成におけるめっき法の比較

	電解めっき	無電解めっき
析出速度	速い	遅い
リード線 (導電性)	必要	不要 (独立パターン可)
バンプ高さ均一性	電流分布に依存	攪拌等で容易に制御
浴寿命	長	短
微細化対応	困難	有利

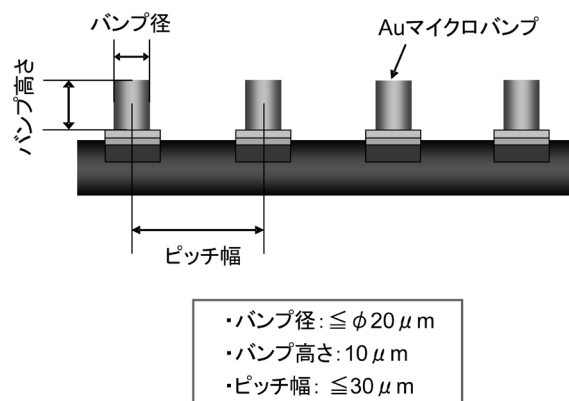


図3 目標とするマイクロバンプの形態

4. マイクロバンプ形成用無電解めっき浴の開発

当社“OTK シリーズ”は、ノーシアンタイプ、pH 中性、処理温度 50℃前後とマイルドな操作条件で、Au 表面上を触媒として Au を還元析出させるため、“自己触媒型無電解 Au めっき”と呼ばれている。自己触媒型無電解 Au めっきの反応イメージを図 4 に示す。

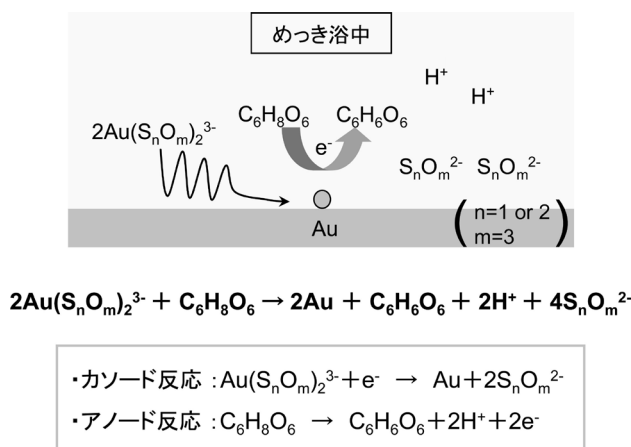


図 4 自己触媒型無電解 Au めっきの反応イメージ

マイクロバンプ形成における無電解 Au めっきの課題は、析出速度を高速化することである。先にも述べたが、ノーシアンタイプが必須であり、かつ浴寿命の観点から、析出速度を上げるために Au 塩や還元剤の増量はできない。このほか析出高速化のため、浴の高温化、高 pH 化なども考えられるが、これらもレジストへのダメージや浴寿命低下の要因となるため現実的ではない。よって、基本条件を変更せずに高速化することが重要となる。以上を踏まえ我々が取り組んだ浴組成設計について示す。

長い間、微細配線めっきとして Cu ダマシメめっきが利用されている。Cu ダマシメめっきは、トレンチやビアの埋め込みを行うために、塩化物イオン、ビス(3-スルホプロピル)ジスルフィド(SPS)、ヤヌスグリーン B(JGB)、ポリエチレングリコール(PEG)といった添加剤により、めっき成長を制御している^{17)~19)}。このような析出メカニズムを Au めっきへ応用し、微細加工への可能性を検討した。

めっき浴のベース組成は表 2 に示したように錯化剤に亜硫酸塩-チオ硫酸塩、還元剤にアスコルビン酸塩を

使用した²⁰⁾。析出をコントロールする添加剤には、含硫黄化合物、含窒素化合物、界面活性剤、金属イオンなど種々の添加剤を一から数種類添加し、様々な組み合わせをトレースした。その結果、いくつかの条件で微細パターンにおける高速析出を確認した。その析出速度は、5~10 μm/90min であり、市販浴と比べて 3 倍以上となった(図 5)。この開発浴を用いて、産総研と実用化に向けた性能評価を行った。その評価の詳細を次項に示した。

表 2 めっき浴のベース組成

	成分
錯化剤	M_2SO_3 $\text{M}_2\text{S}_2\text{O}_3$
pH 緩衝剤	Phosphate buffer
金属塩	$\text{M}_3 [\text{Au}(\text{SO}_3)_2]$
還元剤	$\text{MC}_6\text{H}_7\text{O}_6$

(M: alkali metals)

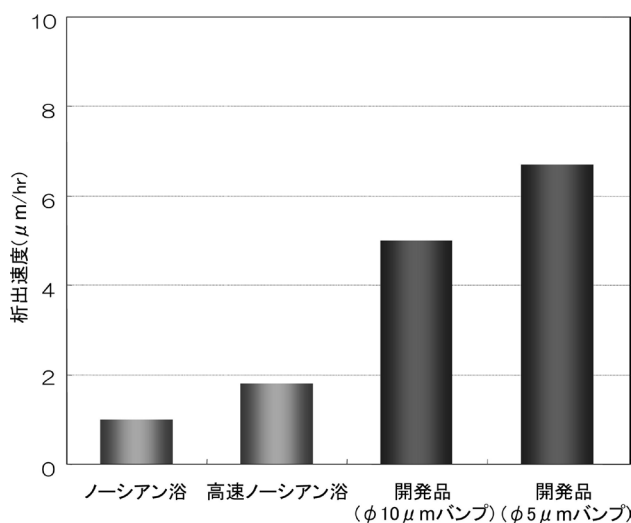


図 5 市販品との析出速度の比較

5. ウエハ上へのマイクロバンプ形成と特性評価

5.1 ウエハめっき

テスト用ウエハは産総研で作製し、3inch Si ウエハ (Au / Ti or Ni / Cu 配線) に、15mm 角のチップを 9 チップあるいは 16 チップパターンニングした。レジストパターンは、バンプ径 φ10 μm、ピッチ 30 μm、バンプ数 1,200 バ

ンブ/チップであり、3inchウエハ当たり10,000 バンプ程度になる。ウエハの概略図を図6に示す。

マイクロバンプ形成過程の断面イメージを図7に示す。まず、アルカリ洗浄により開口部内のレジスト残渣を除去し、酸洗浄を経て、めっき液にウエハを浸漬すると開口部内にAuが埋設される。めっき後、レジストを剥離すると、Auマイクロバンプが形成される。基板上に形成したAuマイクロバンプの評価は、産総研にてバンプ高さ測定、FC接続、接続強度測定、高周波特性評価を行った。

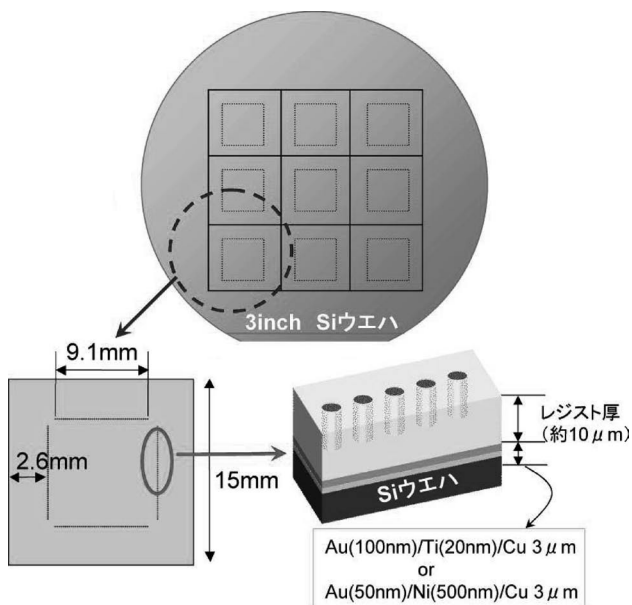
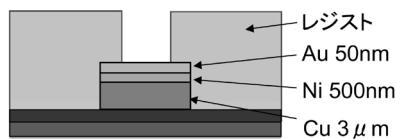


図6 テスト用ウエハの概略図

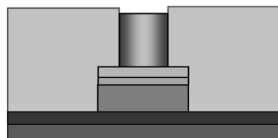
1. パターン開口部洗浄

レジスト残渣除去+酸洗浄



2. 無電解Auめっき

pH 7.2
浴温度:50℃
めっき時間:90min



3. レジスト剥離

溶剤洗浄

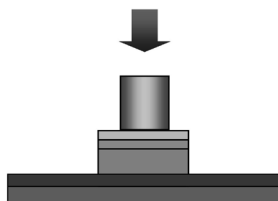
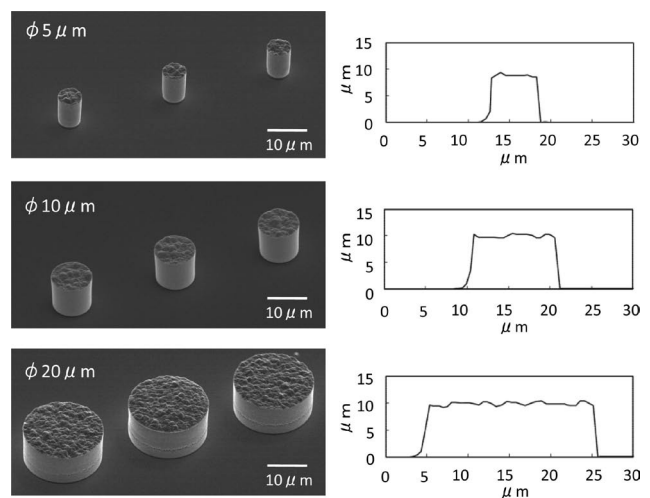


図7 マイクロバンプ形成過程

5.2 AuマイクロバンプのFE-SEM 観察

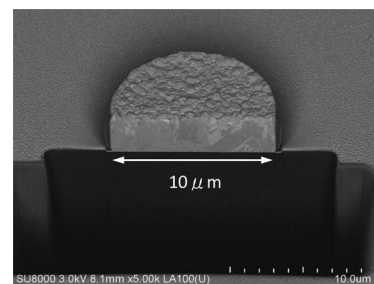
ウエハ上に形成したAuマイクロバンプのSEM像を図8に示す。バンプ径 $\phi 5 \sim 20 \mu\text{m}$ 、高さ $10 \mu\text{m}$ 、ピッチ $30 \mu\text{m}$ のマイクロバンプがチップ上に均一に形成される様子が確認できる。

マイクロバンプをFIBにより断面加工し、FE-SEMにより断面観察を行った。図9に添加剤の配合を変えて作製したマイクロバンプのSEM像を示す。どちらもバンプ内部にボイドが形成されていないことが確認できた。

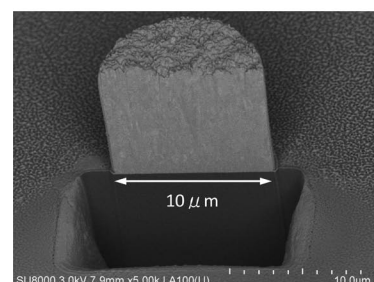


※めっき処理条件: 50℃ — 60~120min

図8 マイクロバンプのSEM像と高さ測定



①添加剤 A+B+C

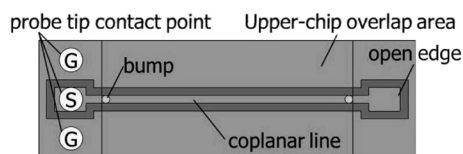


②添加剤 A+B+C+D

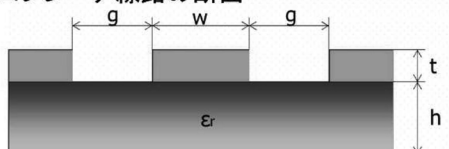
図9 FIBにより断面加工したマイクロバンプのSEM像

@コプレーナ線路の構造

・コプレーナ線路の上面

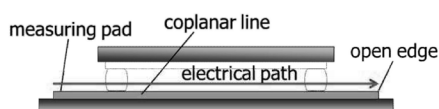


・コプレーナ線路の断面

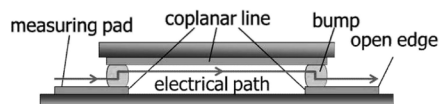


@コプレーナ線路の伝送経路

・バンプなしの場合



・2つのバンプを経由する場合



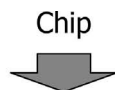
・特性インピーダンス		50 Ω
・伝送線路の線幅	w:	22 μm
・信号線とグラウンドのギャップ	g:	13 μm
・配線の厚さ	t:	3 μm
・Si ウエハの比誘電率	ε _r :	12
・Si ウエハの厚さ	h:	380 μm

図10 コプレーナ線路の構造と伝送経路

5.3 FC接続と高周波特性評価

バンプ特性評価は、コプレーナ線路を用いた高周波信号の伝送試験を行った。図10に評価に使用したコプレーナ線路の構造と伝送経路を示す。今回のコプレーナ線路は特性インピーダンスが50Ωとなるように設計されている。伝送経路は、2つのバンプを経由する場合としない場合との2パターンを評価し、両者を比較することでバンプ接続部の高周波特性を確認した。

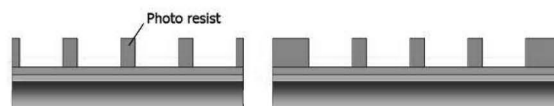
この試験に使用したチップならびに搭載基板のCu



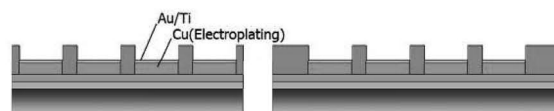
(1) Deposition of isolation, diffusion barrier and seed layers



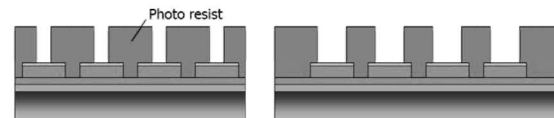
(2) Lithography of wiring pattern



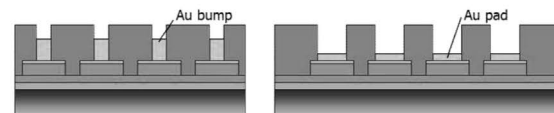
(3) Deposition of wiring pattern, barrier and seed layers



(4) Lithography of bump/pad pattern



(5) Electroless plating of bump/pad



(6) Stripping of seed layer

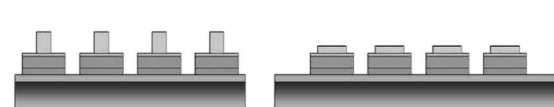
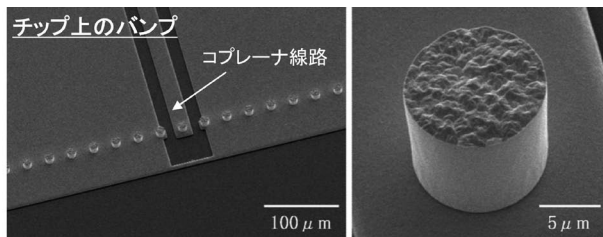
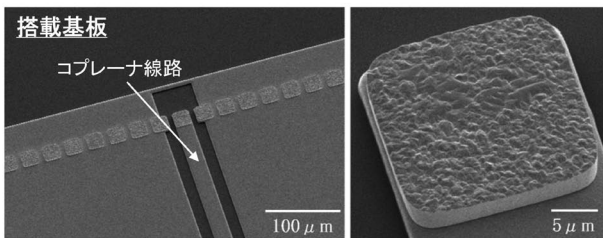


図11 Cu配線からAuバンプおよびパッドの形成過程

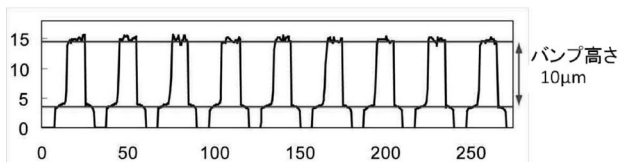
配線形成からAuパッドおよびAuマイクロバンプ形成までのプロセスを図11に示す。はじめに絶縁層、バリア層、シード層を形成し、フォトリソによる配線パターンを形成する。電解Cuめっきにより配線パターンを形成し、スパッタリングや蒸着によりバリア層Ti、シード層Auを成膜する。リフトオフした後、再度フォトリソを塗布しパッドおよびマイクロバンプパターンを形成し、パターン内部を無電解Auめっきで埋め込み、レジストならびにシード層を除去するとAuバンプとAuパッドが形成される。



チップ上のバンプ
コプレーナ線路
100 μm
5 μm
バンプ径 $\phi 10 \mu\text{m}$ -Pitch $30 \mu\text{m}$ 高さ $10 \mu\text{m}$



搭載基板
コプレーナ線路
100 μm
5 μm
パッドサイズ $10 \mu\text{m}$ -Pitch $30 \mu\text{m}$ 厚さ $3 \mu\text{m}$



チップ上に形成したバンプの高さ測定

図12 めっき後のAuバンプおよびパッドのSEM像と高さ測定

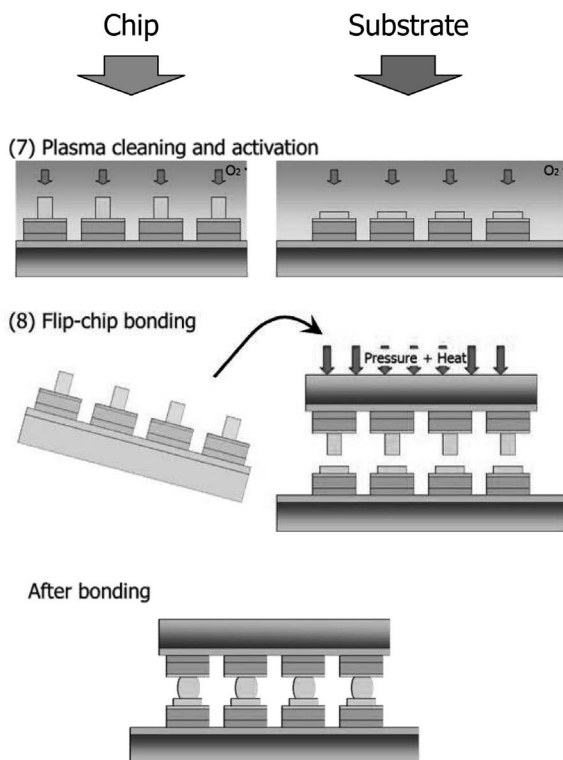
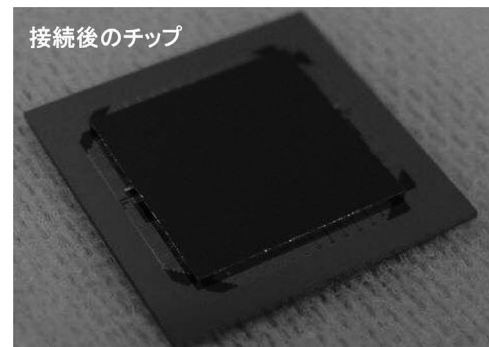
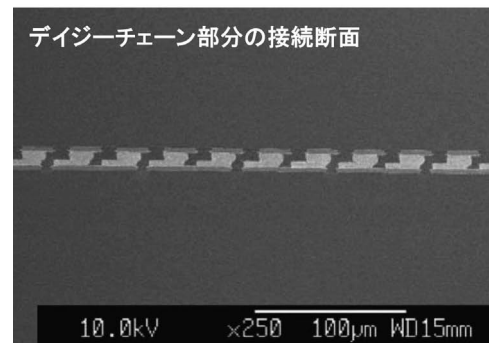


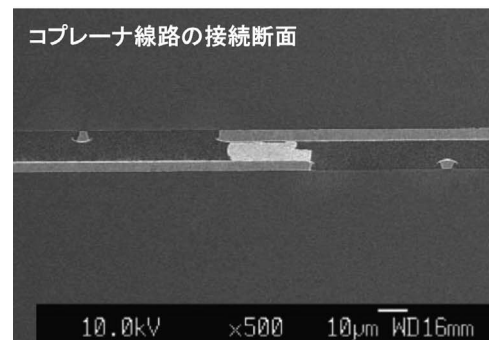
図13 フリップチップ接続過程



接続後のチップ



デージーチェーン部分の接続断面

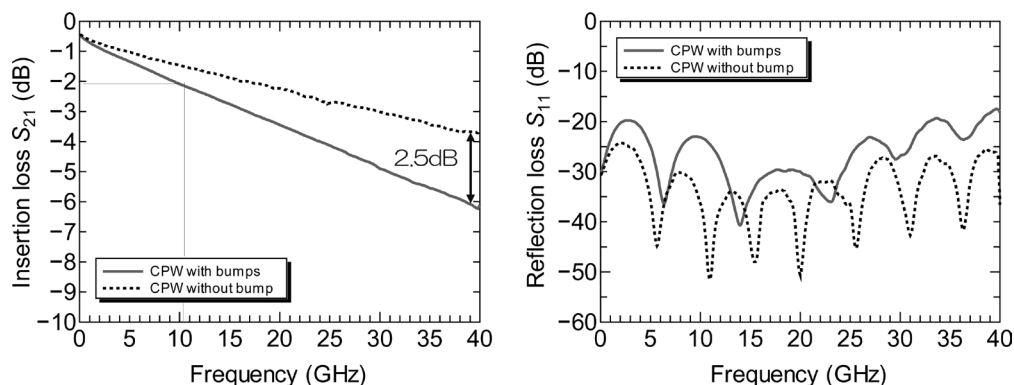


コプレーナ線路の接続断面

図14 フリップチップ接続したチップ断面のSEM像

このように形成したコプレーナ線路上のAuバンプとAuパッドのSEM像を図12に示す。このようにパッドおよびバンプ高さが均一な様子が確認でき、バンプ高さは $10 \mu\text{m}$ 程度となった。

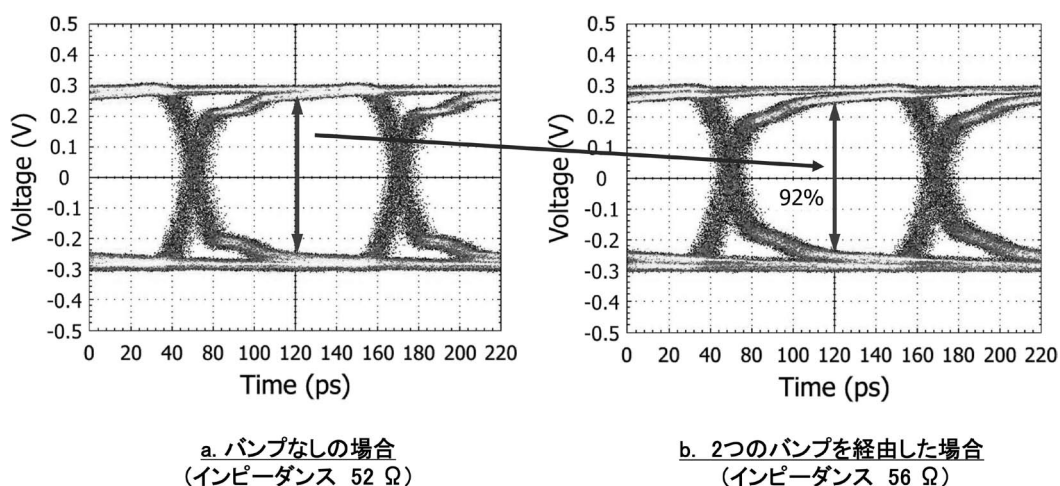
これらチップと搭載基板を用い、FC接続を行った。その接続過程を図13に示す。 O_2 プラズマアッシングによりバンプとパッド表面をクリーニングし、温度 325°C 、荷重 194Mpa でFC接続した。このように接続したチップの断面をFE-SEMで観察した結果、接続性が良好な様子が確認できた。そのSEM像を図14に示した。バンプ高さがFC接続により40～50%減少していることがわかる。



a. インサージョンロス(挿入損失)

b. リフレクションロス(反射損失)

図15 ベクトルネットワークアナライザ(VNA)によるSパラメータ測定



a. バンプなしの場合
(インピーダンス 52 Ω)

b. 2つのバンプを経由した場合
(インピーダンス 56 Ω)

図16 10Gbps信号伝送試験におけるアイパターン

この接続したチップを使用し、高周波特性を評価した。ベクトルネットワークアナライザ(VNA)によるSパラメータ測定を行い、インサージョンロス(挿入損失)とリフレクションロス(反射損失)の結果を図15に示した。挿入損失は、40GHzにおいて、バンプを経由した場合(グラフの実線)は、2.5dBほど損失が増大したが、実用上問題ないレベルである。また、10GHzで-2.2dBとなり、現行デバイスを想定しても十分に損失が小さいといえる。一方、反射損失は2つのバンプを経由しても-20dB程度となっており、高い品質といえる。

高速伝送特性評価として、10Gbps信号伝送試験におけるアイパターンを図16に示した。2つのバンプを経由することで8%ほど伝送特性の低下はみられるが、アイ開口は十分な高さが得られており、10Gbpsの高速伝

送が可能なのことが確認できたといえる。以上から、無電解めっきにより形成したマイクロバンプが高周波デバイスに十分対応可能なことが示唆される。

6. 応用技術の検討

この技術を応用した検討例を3点示す。

① エリアアレイ型マイクロバンプ

バンプ径 $\phi 10\mu\text{m}$ 、ピッチ $20\mu\text{m}$ 、チップサイズ4mm角のエリアアレイ型のバンプ形成である。1チップのバンプ数は4万個、3inchウエハあたり64万個となる。形成したマイクロバンプをFE-SEMで観察した結果(図18-a)、バンプの未析出なく、高さ $3\mu\text{m}$ (めっき時間: 90min)のバンプが均一に形成できている様子が確認

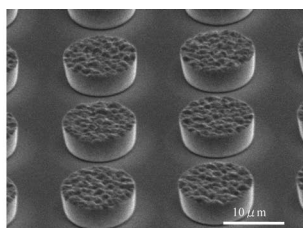
できた(図17-a)。

②マイクロビア埋め込みめっき

現行のビア埋め込み手法は電解Cuめっきが一般的に利用されている。高コストなAuを埋め込んだ報告はなく、また無電解Auめっきの実施例もない。そこで、ビア埋め込みへの汎用性を確認するため、実際に埋め込みめっきを試みた。ビア径 $\phi 10\mu\text{m}$ 、深さ $30\mu\text{m}$ (アスペクト比3)の埋め込みを試験したところ、ボイドが形成されることなく埋め込みできている様子が確認できた(図17-b)。

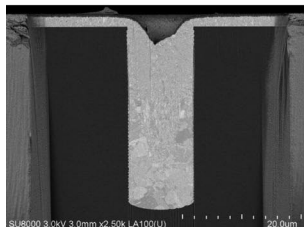
③マイクロ構造体形成

$\phi 2\mu\text{m}$ のドットを連続的に並べて、線状構造体の作製を試みた。図17-cに示したように連続したドットパターンを形成することで、特殊形状の構造体が形成できた。



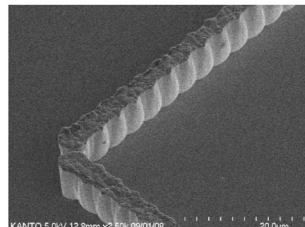
※ $\phi 10\mu\text{m}$ -Pitch $20\mu\text{m}$

a. エリアアレイ型マイクロバンプ



※ $\phi 10\mu\text{m}$ -t $30\mu\text{m}$

b. ビア埋め込みめっき



※ $\phi 2\mu\text{m}$ 連続ドット

c. 線状構造体

図17 マイクロバンプ形成法の実用技術

7. まとめ

無電解めっきによるマイクロバンプ形成技術の実用性評価を行った結果、バンプ径 $\phi 20\mu\text{m}$ 以下、高さ $10\mu\text{m}$ のAuマイクロバンプを均一に形成できた。高周波特性評価の結果、無電解めっきにより形成したAuマイクロバンプが実用性能に適応できることを確認した。また、応用技術として、様々なマイクロ構造体形成への利用が期待される。

参考文献

- 1) 畑田賢造, エレクトロニクス実装技術, **24**(12), 36-44 (2008)
- 2) 湯之上隆, *Electronic Journal*, (216), 34-37 (2012)
- 3) 折井靖光, 佐久間克幸, 松本圭司, 鳥山和重, エレクトロニクス実装学会誌, **12**(7), 588-595 (2009)
- 4) 鳥山和重, 岡本圭司, 小原さゆり, 折井靖光, エレクトロニクス実装学会誌, **14**(5), 372-374 (2011)
- 5) 八坂慎一, 大屋誠志郎, 神奈川県産業技術総合研究所研究報告, (10), 70-71 (2004)
- 6) 福井太郎, 松下電工技報, **52**(1), 9-16 (2004)
- 7) 井上俊明, 鈴木孝直, 飯塚祐一, フジクラ技報, (112), 61-63 (2007)
- 8) T.H. Chuang, S.F. Yen, *J. Electron. mater.*, **35**(8), 1621-1627 (2006)
- 9) T.H. Chuang, C.Y. Cheng, T.C. Chang, *J. Electron. mater.*, **38**(12), 2762-2769 (2009)
- 10) F.Y. Ouyang, K. Chen, K.N. Tu, Y.S. Lai, *Appl. Phys. Lett.*, **91**, 231919 (2007)
- 11) 内海裕二, 特許公開2008-297586
- 12) 野村建太郎, 横島時彦, 山地泰弘, 菊地克弥, 仲川博, 越地耕二, 青柳昌宏, 岩井良太, 加藤勝, 第18回マイクロエレクトロニクスシンポジウム論文集, 51-54 (2008)
- 13) 野村建太郎, 横島時彦, 山地泰弘, 菊地克弥, 仲川博, 越地耕二, 青柳昌宏, 岩井良太, 徳久智明, 加藤勝, 第23回エレクトロニクス実装学会講演大会講演論文集, 109-110 (2009)
- 14) T. Yokoshima, K. Nomura, Y. Yamaji, K. Kikuchi, H. Nakagawa, K. Koshiji, M. Aoyagi, R. Iwai, T. Tokuhisa, M. Kato, *Transaction of The Japan Institute of Electronics Packaging*, **2**(1), 109-115 (2009)
- 15) 野村建太郎, 横島時彦, 加藤史樹, 山地泰弘, 根本俊介, 菊地克弥, 仲川博, 越地耕二, 青柳昌宏, 岩井良太, 徳久智明, 加藤勝, 第24回エレクトロニクス実装学会講演大会講演論文集, 278-279 (2010)
- 16) F. Kato, K. Nomura, T. Yokoshima, S. Nemoto, K. Kikuchi, H. Nakagawa, K. Koshiji, M. Aoyagi, R. Iwai, T. Tokuhisa, M. Kato, *Proceedings of International Conference on Electronics Packaging*, 500-505 (2010)
- 17) 縄舟秀美, 赤松謙祐, 鶴岡孝章, *Electrochemistry*, **79**(3), 172-178 (2011)
- 18) 近藤和夫, 林克彦, 田中善之助, 山川統広, エレクトロニクス実装学会誌, **3**(7), 607-612 (2000)
- 19) 近藤和夫, 田中善之助, 山川統広, エレクトロニクス実装学会誌, **5**(7), 672-676 (2002)
- 20) 加藤勝, 新倉恵子, 星野重孝, 大野凜, 表面技術, **42**(7), 729-735 (1991)